

## IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Hiroyuki KAWAMOTO, et al.

GAU: 2022

SERIAL NO: NEW APPLICATION

EXAMINER: LAMB

FILED: HEREWITH

FOR: IMAGE PROCESSING APPARATUS

## REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS  
WASHINGTON, D.C. 20231

#4

JC825 U.S. PRO  
09/69/1998  
10/23/00



SIR:

- Full benefit of the filing date of U.S. Application Serial Number, filed, is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	11-306014	October 27, 1999

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number .  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
  - are submitted herewith
  - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLOON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 10/98)

日本国特許庁

PATENT OFFICE  
JAPANESE GOVERNMENT

JC825 U.S. PTO  
09/693987  
10/23/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application: 1999年10月27日

出願番号

Application Number: 平成11年特許願第306014号

出願人

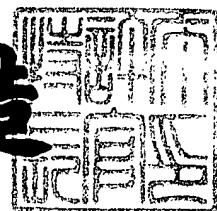
Applicant(s): 株式会社リコー

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2000年 8月25日

特許庁長官  
Commissioner,  
Patent Office

及川耕造



出証番号 出証特2000-3068823

【書類名】 特許願  
【整理番号】 9902019  
【提出日】 平成11年10月27日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04N 1/40  
【発明の名称】 画像処理装置  
【請求項の数】 6  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 川本 啓之  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 野水 泰之  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 波塚 義幸  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 宮崎 秀人  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 宮崎 慎也  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 高橋 祐二  
【発明者】  
【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内  
【氏名】 佐藤 多加子

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 刀根 剛治

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 吉澤 史男

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 福田 拓章

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 石井 理恵

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社リコー内

【氏名】 桜木 杉高

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社リコー

【代理人】

【識別番号】 100104190

【弁理士】

【氏名又は名称】 酒井 昭徳

【手数料の表示】

【予納台帳番号】 041759

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特平11-306014

【包括委任状番号】 9810808

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項1】 注目画素の周囲の画素を参照して当該画素の処理をおこなう  
画像処理装置において、

所定の長さの画素を読み出してバッファーリングしたのち、 SIMD型プロセ  
ッサーへ書き込む入力I/F用メモリーと、

前記入力I/F用メモリーから書き込まれた画素を一括して処理する SIMD  
型プロセッサーと、

前記 SIMD型プロセッサーにより一括処理された画素を読み出してバッファ  
ーリングしたのち、所定の出力先へ書き込む出力I/F用メモリーと、

前記入力I/F用メモリーおよび出力I/F用メモリーの読み込みおよび／ま  
たは書き込みのタイミングを制御する制御手段と、

を備えたことを特徴とする画像処理装置。

【請求項2】 注目画素の周囲の画素を参照して当該画素の処理をおこなう  
画像処理装置において、

所定の長さの画素を読み出してバッファーリングしたのち、前記所定の画素の  
読み出しより速い速度で SIMD型プロセッサーへ書き込む入力I/F用メモリ  
ーと、

前記入力I/F用メモリーから書き込まれた画素を一括して処理する SIMD  
型プロセッサーと、

前記 SIMD型プロセッサーにより一括処理された画素を読み出してバッファ  
ーリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出  
力先へ書き込む出力I/F用メモリーと、

前記入力I/F用メモリーおよび出力I/F用メモリーの読み込みおよび／ま  
たは書き込みのタイミングおよび読み込みおよび／または書き込みの速度を制御  
する制御手段と、

を備えたことを特徴とする画像処理装置。

【請求項3】 注目画素の周囲の画素を参照して当該画素の処理をおこなう

画像処理装置において、

所定の長さの画素を読み出してバッファーリングしたのち、前記所定の画素の読み出しより速い速度で SIMD型プロセッサーへ書き込み、当該 SIMD型プロセッサーの一括して処理する画素より少ない容量を有する入力 I/F用メモリーと、

前記入力 I/F用メモリーから書き込まれた画素を一括して処理する SIMD型プロセッサーと、

前記 SIMD型プロセッサーにより一括処理された画素を読み出してバッファーリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込み、前記 SIMD型プロセッサーの一括して処理する画素より少ない容量を有する出力 I/F用メモリーと、

前記入力 I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該入力 I/F用メモリーの容量に基づいて当該 I/F用メモリーに対する書き込みおよび／または読み出しのタイミング、および／または、前記出力 I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該出力 I/F用メモリーの容量に基づいて当該 I/F用メモリーに対する書き込みおよび／または読み出しのタイミングを制御する制御手段と、

を備えたことを特徴とする画像処理装置。

#### 【請求項4】

前記制御手段は、前記書き込みおよび読み出しのタイミングを制御して、前記入力 I/F用メモリーおよび出力 I/F用メモリーを複数回使用することを特徴とする請求項1、2または3に記載の画像処理装置。

#### 【請求項5】

前記 SIMD型プロセッサーの前記一括して処理する画素数から前記注目画素の参照する周囲の画素の数を差し引いた有効画素数がディザマトリックスの倍数であることを特徴とする請求項1～4のいずれか一つに記載の画像処理装置。

#### 【請求項6】

前記 SIMD型プロセッサーは、前記入力 I/F用メモリーもしくは出力 I/F用メモリーから物理的に着脱可能であることを特徴とする請求項1～5のいず

れか一つに記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、デジタル画像データに対する画像処理、特に、複写機、ファクシミリ、プリンター、スキャナー等の機能を複合したデジタル複合機における画像データに対する画像処理をおこなう画像処理装置に関する。

【0002】

【従来の技術】

従来、画像処理装置としてアナログ画像処理装置が普及している。さらに、近年の技術の向上および、画像のカラー化の要請等により、従来のアナログ画像処理装置に加え、デジタル化された画像データの処理をおこなうデジタル複写機が普及しつつある。

【0003】

さらに、単に複写機能を有する複写装置、ファクシミリ機能を備えるファクシミリ装置、スキャナー機能を有するスキャナー装置等といったそれぞれ別々の目的に特化した製品としてではなく、上記複写機能、ファクシミリ機能およびスキャナー機能等の各機能を複合した、いわゆるデジタル複合機が存在する。

【0004】

図18は、従来技術に係るデジタル複合機のハードウェア構成を示すブロック図である。

【0005】

図18に示すように、デジタル複合機は、画像データを読み取るデジタル読み取りユニット2201、読み取った画像データを処理する画像処理ユニット2202、画像データに対して各種の制御をおこなうビデオ制御部2203、処理された画像データを記録紙に出力等する書き込みユニット2204の一連の各構成部、さらには画像データの保持を制御するメモリー制御ユニット2205および画像データを保持するメモリー・モジュール2206によって形成される複写機を構成する部分（複写機部分）と、マザーボード2211を介して、追加的にファク

シリシリ送受信を制御するファクシミリ制御ユニット2212、外部接続されたパソコン・コンピューターから送出された画像データの入力制御をおこなうプリンターリモートユニット2213、スキャナーとして使用する場合の画像データの入出力制御をおこなうスキャナーリモートユニット2214等のユニットが接続されることによって、ディジタル複合機としての各機能を実現していた。

## 【0006】

したがって、複写機としての機能を実現する複写機部分は、読み取りユニット2201、画像処理ユニット2202、ビデオ制御部2203、書き込みユニット2204の各構成部は、システム・コントローラー2207、RAM2208、ROM2209によって各構成部の一連の動作が制御され、ファクシミリ制御ユニット2212、プリンターリモートユニット2213、スキャナーリモートユニット2214等の各ユニットは、複写機における確立された一連の動作の一部を利用することにより各ユニットの機能を実現していた。

-----  
【0007】-----

換言すると、上記一連の構成部による一つのシステムとして確立している複写機部分にファクシミリ制御ユニット2212、プリンターリモートユニット2213、スキャナーリモートユニット2214をアドオンすることにより、ディジタル複合機の機能を実現するものであった。これは、上記一連の構成部をASIC (Application Specific Integrated Circuit) 等のハードウェアにより構成することにより、処理速度を重視する（処理の高速化を図る）という背景によるものであった。

## 【0008】

特に、特開平5-20283号公報「並列データ処理装置」では、SIMD (Single Instruction Multiple Data stream) 型並列データ処理装置とMIMD (Multiple Instruction Multiple Data stream) 型並列データ処理装置とを含んだ並列データ処理装置に関する技術が開示されている。

## 【0009】

この並列データ処理装置では、切替制御をおこなうことにより、定型的な処理

(シェーディング補正処理、スキャナーレ補正処理など)に関してはS I M D型並列データ処理をおこない、非定型的な処理(誤差拡散処理)に関してはM I M D型並列データ処理をおこなうことにより、処理速度の向上を図っている。

#### 【0010】

したがって、この並列データ処理装置を、読み取りユニット2201、ファクシミリ制御ユニット2212、プリンター制御ユニット2213、スキャナーレ制御ユニット2214および画像処理ユニット2202に適用することによって、高速な画像処理を図ることが可能である。

#### 【0011】

##### 【発明が解決しようとする課題】

しかしながら、上記従来技術におけるデジタル複合機においては、上述のとおり複写機部分が一つのシステムとして確立していることから、ファクシミリ制御ユニット2212、プリンター制御ユニット2213、スキャナーレ制御ユニット2214等、上記複写機部分に接続された各ユニットについては、各機能を実現するために複写機部分とは別個にそれぞれ独立してシステムを構築しなければならなかつた。

#### 【0012】

これは、画像処理ユニット2202をはじめとして、各ユニットが、その画像処理機能を実現するために必要なA S I C(図18では図示せず)をそれぞれ備えるように構成する必要があることを意味し、資源が有効活用されていないという問題点があつた。

#### 【0013】

また、各ユニットの重複をなくし、画像処理は画像処理ユニットのみで処理するように効率的なデジタル複合機を構成した場合であつても、以下のような問題点があつた。たとえば、読み取りユニットや書込ユニットのみを変更した場合、具体的には、400d p iであった読み取りユニットあるいは書込ユニットを600d p iのものに変更した場合に、単にユニットの交換のみの作業では装置全体の機能向上を容易におこなうことができなかつた。

#### 【0014】

具体的には、400 dpiによって読み取り／書き込みされるように一連のシステムが確立されてしまっているため、画像処理ユニットについても、600 dpiによる読み取り／書き込みができるようにユニット内の画像処理プロセッサーを再設計する必要があった。

#### 【0015】

これは、並列計算により SIMD型プロセッサーを用いて高速に画像処理させたい要求がある一方で、注目画素の周囲の画素を参照して処理する必要のある画像処理（誤差拡散処理など）をおこなう場合に、一つのプロセッサーであつかうことのできる最大画素が画像処理プロセッサー内部のラインメモリーで制限されるからである。

#### 【0016】

したがって、画像処理プロセッサーの内部のほとんどのリソースは共通でありながら、内部のメモリー容量の大きさが相対的に不足したということだけでチップの改版をおこなう必要があり、開発効率が悪く画像処理プロセッサーを有効に活用できないという問題点があった。

#### 【0017】

この発明は、上述した従来技術による問題点を解消するため、画像処理ユニット（画像処理プロセッサー）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサーを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することを目的とする。

#### 【0018】

##### 【課題を解決するための手段】

上述した課題を解決し、目的を達成するため、請求項1の発明に係る画像処理装置は、注目画素の周囲の画素を参照して当該画素の処理をおこなう画像処理装置において、所定の長さの画素を読み出してバッファーリングしたのち、SIMD型プロセッサーへ書き込む入力I/F用メモリーと、前記入力I/F用メモリーから書き込まれた画素を一括して処理するSIMD型プロセッサーと、前記SIMD型プロセッサーにより一括処理された画素を読み出してバッファーリングしたのち、所定の出力先へ書き込む出力I/F用メモリーと、前記入力I/F用

メモリーおよび出力I/F用メモリーの読み込みおよび/または書き込みのタイミングを制御する制御手段と、を備えたことを特徴とする。

【0019】

この請求項1の発明によれば、制御手段が入力I/F用メモリーおよび出力I/F用メモリーの読み込みおよび/または書き込みのタイミングを制御するため、重複した画素を SIMD型プロセッサーで処理させることができる。

【0020】

また、請求項2の発明に係る画像処理装置は、注目画素の周囲の画素を参照して当該画素の処理をおこなう画像処理装置において、所定の長さの画素を読み出してバッファーリングしたのち、前記所定の画素の読み出しより速い速度で SIMD型プロセッサーへ書き込む入力I/F用メモリーと、前記入力I/F用メモリーから書き込まれた画素を一括して処理する SIMD型プロセッサーと、前記 SIMD型プロセッサーにより一括処理された画素を読み出してバッファーリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込む出力I/F用メモリーと、前記入力I/F用メモリーおよび出力I/F用メモリーの読み込みおよび/または書き込みのタイミングおよび読み込みおよび/または書き込みの速度を制御する制御手段と、を備えたことを特徴とする。

【0021】

この請求項2の発明によれば、制御手段が入力I/F用メモリーおよび出力I/F用メモリーの読み込みおよび/または書き込みのタイミングを制御するため、重複した画素を、さらに高速に SIMD型プロセッサーで処理させることができる。

【0022】

また、請求項3の発明に係る画像処理装置は、注目画素の周囲の画素を参照して当該画素の処理をおこなう画像処理装置において、所定の長さの画素を読み出してバッファーリングしたのち、前記所定の画素の読み出しより速い速度で SIMD型プロセッサーへ書き込み、当該 SIMD型プロセッサーの一括して処理する画素より少ない容量を有する入力I/F用メモリーと、前記入力I/F用メモリーから書き込まれた画素を一括して処理する SIMD型プロセッサーと、前記

SIMD型プロセッサーにより一括処理された画素を読み出してバッファーリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込み、前記SIMD型プロセッサーの一括して処理する画素より少ない容量を有する出力I/F用メモリーと、前記入力I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該入力I/F用メモリーの容量に基づいて当該I/F用メモリーに対する書き込みおよび／または読み出しのタイミング、および／または、前記出力I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該出力I/F用メモリーの容量に基づいて当該I/F用メモリーに対する書き込みおよび／または読み出しのタイミングを制御する制御手段と、を備えたことを特徴とする。

#### 【0023】

この請求項3の発明によれば、制御手段が入力I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該入力I/F用メモリーの容量に基づいて当該I/F用メモリーに対する書き込みおよび／または読み出しのタイミング、および／または、出力I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該出力I/F用メモリーの容量に基づいて当該I/F用メモリーに対する書き込みおよび／または読み出しのタイミングを制御するので、入力I/F用メモリーおよび出力I/F用メモリーの容量を考慮しつつ、重複した画素をSIMD型プロセッサーでもっとも効率的に処理させることができる。

#### 【0024】

また、請求項4の発明に係る画像処理装置は、請求項1、2または3に記載の発明において、前記制御手段が、前記書き込みおよび読み出しのタイミングを制御して、前記入力I/F用メモリーおよび出力I/F用メモリーを複数回使用することを特徴とする。

#### 【0025】

この請求項4の発明によれば、SIMD型プロセッサーで一括処理できる画素の長さを長くする（1ラインにおける画素数を多くする）ことができる。

#### 【0026】

また、請求項5の発明に係る画像処理装置は、請求項1～4のいずれか一つに記載の発明において、前記SIMD型プロセッサーの前記一括して処理する画素数から前記注目画素の参照する周囲の画素の数を差し引いた有効画素数がディザマトリックスの倍数であることを特徴とする。

#### 【0027】

この請求項5の発明によれば、各有効画素のつなぎ目がディザマトリックスの切り替わりと一致することで、ディザ処理演算を円滑におこなうことができる。

#### 【0028】

また、請求項6の発明に係る画像処理装置は、請求項1～5のいずれか一つに記載の発明において、前記SIMD型プロセッサーが、前記入力I/F用メモリーもしくは出力I/F用メモリーから物理的に着脱可能であることを特徴とする。

#### 【0029】

この請求項6の発明によれば、I/F用メモリーはそのまで、処理能力の向上したSIMD型プロセッサー部分のみを交換することができる。

#### 【0030】

##### 【発明の実施の形態】

以下に添付図面を参照して、この発明に係る画像処理装置の好適な実施の形態を詳細に説明する。

#### 【0031】

##### 【実施の形態1】

まず、本実施の形態に係る画像処理装置の原理について説明する。図1は、この発明の本実施の形態に係る画像処理装置の構成を機能的に示すブロック図である。図1において、画像処理装置は、以下に示す5つのユニットを含む構成である。

#### 【0032】

上記5つのユニットとは、画像データ制御ユニット100と、画像データを読み取る画像読み取りユニット101と、画像を蓄積する画像メモリーを制御して画像データの書き込み／読み出しをおこなう画像メモリー制御ユニット102と、画

像データに対し加工編集等の画像処理を施す画像処理ユニット103と、画像データを転写紙等に書き込む画像書込ユニット104と、である。

### 【0033】

上記各ユニットは、画像データ制御ユニット100を中心に、画像読み取りユニット101と、画像メモリー制御ユニット102と、画像処理ユニット103と、画像書込ユニット104とがそれぞれ画像データ制御ユニット100に接続されている。

### 【0034】

(画像データ制御ユニット100)

画像データ制御ユニット100によりおこなわれる処理としては以下のようなものがある。たとえば、

### 【0035】

- (1) データのバス転送効率を向上させるためのデータ圧縮処理（一次圧縮）
  - (2) 一次圧縮データの画像データへの転送処理
  - (3) 画像合成処理（複数ユニットからの画像データを合成すること可能である。また、データバス上の合成も含む。）
  - (4) 画像シフト処理（主走査および副走査方向の画像のシフト）
  - (5) 画像領域拡張処理（画像領域を周辺へ任意量だけ拡大することが可能）
  - (6) 画像変倍処理（たとえば、50%または200%の固定変倍）
  - (7) パラレルバス・インターフェース処理
  - (8) シリアルバス・インターフェース処理（後述するプロセス・コントローラー211とのインターフェース）
  - (9) パラレルデータとシリアルデータのフォーマット変換処理
  - (10) 画像読み取りユニット101とのインターフェース処理
  - (11) 画像処理ユニット103とのインターフェース処理
- 等である。

### 【0036】

(画像読み取りユニット101)

画像読み取りユニット101によりおこなわれる処理としては以下のようないわゆる

ある。たとえば、

## 【0037】

- (1) 光学系による原稿反射光の読み取り処理、
  - (2) CCD (Charge Coupled Device: 電荷結合素子) での電気信号への変換処理、
  - (3) A/D変換器でのデジタル化処理、
  - (4) シェーディング補正処理（光源の照度分布ムラを補正する処理）、
  - (5) スキャナーレンズ補正処理（読み取り系の濃度特性を補正する処理）、
- 等である。

## 【0038】

（画像メモリー制御ユニット102）

画像メモリー制御ユニット102によりおこなわれる処理としては以下のようないものがある。たとえば、

## 【0039】

- (1) システム・コントローラーとのインターフェース制御処理、
- (2) パラレルバス制御処理（パラレルバスとのインターフェース制御処理）
  
- (3) ネットワーク制御処理、
- (4) シリアルバス制御処理（複数の外部シリアルポートの制御処理）、
- (5) 内部バスインターフェース制御処理（操作部とのコマンド制御処理）、
- (6) ローカルバス制御処理（システム・コントローラーを起動させるためのROM、RAM、フォントデータのアクセス制御処理）、
- (7) メモリー・モジュールの動作制御処理（メモリー・モジュールの書き込み／読み出し制御処理等）、
- (8) メモリー・モジュールへのアクセス制御処理（複数のユニットからのメモリー・アクセス要求の調停をおこなう処理）、
- (9) データの圧縮／伸張処理（メモリー有効活用のためのデータ量の削減するための処理）、
- (10) 画像編集処理（メモリー領域のデータクリア、画像データの回転処理、

メモリー上での画像合成処理等)、  
等である。

## 【0040】

(画像処理ユニット103)

画像処理ユニット103によりおこなわれる処理としては以下のようなものが  
ある。たとえば、

## 【0041】

- (1) シェーディング補正処理(光源の照度分布ムラを補正する処理)、
- (2) スキャナーマルチ補正処理(読み取りデータの濃度特性を補正する処理)、
- (3) MTF補正処理、
- (4) 平滑処理、
- (5) 主走査方向の任意変倍処理、
- (6) 濃度変換( $\gamma$ 変換処理:濃度ノッチに対応)、
- (7) 単純多値化処理、
- (8) 単純二値化処理、
- (9) 誤差拡散処理、
- (10) ディザ処理、
- (11) ドット配置位相制御処理(右寄りドット、左寄りドット)、
- (12) 孤立点除去処理、
- (13) 像域分離処理(色判定、属性判定、適応処理)、
- (14) 密度変換処理、

等である。

## 【0042】

(画像書き込みユニット104)

画像書き込みユニット104によりおこなわれる処理としては以下のようなものが  
ある。たとえば、

## 【0043】

- (1) エッジ平滑処理(ジャギー補正処理)、
- (2) ドット再配置のための補正処理、

(3) 画像信号のパルス制御処理、  
 (4) パラレルデータとシリアルデータのフォーマット変換処理、  
 等である。

## 【0044】

(ディジタル複合機のハードウェア構成)

つぎに、本実施の形態に係る画像処理装置がディジタル複合機を構成する場合のハードウェア構成について説明する。図2は本実施の形態に係る画像処理装置のハードウェア構成の一例を示すブロック図である。

## 【0045】

図2のブロック図において、本実施の形態に係る画像処理装置は、読取ユニット201と、センサー・ボード・ユニット202と、画像データ制御部203と、画像処理プロセッサー204と、ビデオ・データ制御部205と、作像ユニット(エンジン)206とを備える。また、本実施の形態に係る画像処理装置は、シリアルバス210を介して、プロセス・コントローラー211と、RAM212と、ROM213とを備える。

## 【0046】

また、本実施の形態に係る画像処理装置は、パラレルバス220を介して、画像メモリー・アクセス制御部221と、メモリー・モジュール222と、ファクシミリ制御ユニット224と、さらに、画像メモリー・アクセス制御部221に接続されるシステム・コントローラー231と、RAM232と、ROM233と、操作パネル234とを備える。

## 【0047】

ここで、上記各構成部と、図1に示した各ユニット100～104との関係について説明する。すなわち、読取ユニット201およびセンサー・ボード・ユニット202により、図1に示した画像読取ユニット101の機能を実現する。また同様に、画像データ制御部203により、画像データ制御ユニット100の機能を実現する。また同様に、画像処理プロセッサー204により画像処理ユニット103の機能を実現する。

## 【0048】

また同様に、ビデオ・データ制御部205および作像ユニット（エンジン）206により画像書き込みユニット104を実現する。また同様に、画像メモリー・アクセス制御部221およびメモリー・モジュール222により画像メモリー制御ユニットを実現する。

#### 【0049】

つぎに、各構成部の内容について説明する。原稿を光学的に読み取る読み取りユニット201は、ランプとミラーとレンズから構成され、原稿に対するランプ照射の反射光をミラーおよびレンズにより受光素子に集光する。

#### 【0050】

受光素子、たとえばCCDは、センサー・ボード・ユニット202に搭載され、CCDにおいて電気信号に変換された画像データはデジタル信号に変換された後、センサー・ボード・ユニット202から出力（送信）される。

#### 【0051】

センサー・ボード・ユニット202から出力（送信）された画像データは画像データ制御部203に入力（受信）される。機能デバイス（処理ユニット）およびデータバス間における画像データの伝送は画像データ制御部203がすべて制御する。

#### 【0052】

画像データ制御部203は、画像データに関し、センサー・ボード・ユニット202、パラレルバス220、画像処理プロセッサー204間のデータ転送、画像データに対するプロセス・コントローラー211と画像処理装置の全体制御を司るシステム・コントローラー207との間の通信をおこなう。また、RAM212はプロセス・コントローラー211のワークエリアとして使用され、ROM213はプロセス・コントローラー211のブートプログラム等を記憶している。

#### 【0053】

センサー・ボード・ユニット202から出力（送信）された画像データは画像データ制御部203を経由して画像処理プロセッサー204に転送（送信）され、光学系およびデジタル信号への量子化に伴う信号劣化（スキャナー系の信号

劣化とする)を補正し、再度、画像データ制御部203へ出力(送信)される。

#### 【0054】

画像メモリー・アクセス制御部221は、メモリー・モジュールに対する画像データの書き込み／読み出しを制御する。また、システム・パラレルバス220に接続される各構成部の動作を制御する。また、RAM232はシステム・コントローラー231のワークエリアとして使用され、ROM233はシステム・コントローラー231のブートプログラム等を記憶している。

#### 【0055】

操作パネル234は、画像処理装置がおこなうべき処理を入力する。たとえば、処理の種類(複写、ファクシミリ送信、画像読み込み、プリント等)および処理の枚数等を入力する。これにより、画像データ制御情報の入力をおこなうことができる。なお、ファクシミリ制御ユニット224の内容については後述する。

#### 【0056】

つぎに、読み取った画像データをメモリー・モジュール222に蓄積して再利用するジョブと、メモリー・モジュール222に蓄積しないジョブとがあり、それぞれの場合について説明する。メモリー・モジュール222に蓄積する例としては、1枚の原稿について複数枚を複写する場合に、読み取りユニット201を1回だけ動作させ、読み取りユニット201により読み取った画像データをメモリー・モジュール222に蓄積し、蓄積された画像データを複数回読み出すという方法がある。

#### 【0057】

メモリー・モジュール222を使わない例としては、1枚の原稿を1枚だけ複写する場合に、読み取り画像データをそのまま再生すればよいので、画像メモリー・アクセス制御部221によるメモリー・モジュール222へのアクセスをおこなう必要はない。

#### 【0058】

まず、メモリー・モジュール222を使わない場合、画像処理プロセッサー204から画像データ制御部203へ転送されたデータは、再度画像データ制御部203から画像処理プロセッサー204へ戻される。画像処理プロセッサー20

4においては、センサー・ボード・ユニット202におけるCCDによる輝度データを面積階調に変換するための画質処理をおこなう。

#### 【0059】

画質処理後の画像データは画像処理プロセッサー204からビデオ・データ制御部205に転送される。面積階調に変化された信号に対し、ドット配置に関する後処理およびドットを再現するためのパルス制御をおこない、その後、作像ユニット206において転写紙上に再生画像を形成する。

#### 【0060】

つぎに、メモリー・モジュール222に蓄積し画像読み出し時に付加的な処理、たとえば画像方向の回転、画像の合成等をおこなう場合の画像データの流れについて説明する。画像処理プロセッサー204から画像データ制御部203へ転送された画像データは、画像データ制御部203からパラレルバス220を経由して画像メモリー・アクセス制御部221に送られる。

#### 【0061】

ここでは、システム・コントローラー231の制御に基づいて画像データとメモリー・モジュール222のアクセス制御、外部PC（パソコン・コンピューター）223のプリント用データの展開、メモリー・モジュール222の有効活用のための画像データの圧縮／伸張をおこなう。

#### 【0062】

画像メモリー・アクセス制御部221へ送られた画像データは、データ圧縮後メモリー・モジュール222へ蓄積され、蓄積された画像データは必要に応じて読み出される。読み出された画像データは伸張され、本来の画像データに戻し画像メモリー・アクセス制御部221からパラレルバス220を経由して画像データ制御部203へ戻される。

#### 【0063】

画像データ制御部203から画像処理プロセッサー204への転送後は画質処理、およびビデオ・データ制御部205でのパルス制御をおこない、作像ユニット206において転写紙上に再生画像を形成する。

#### 【0064】

画像データの流れにおいて、パラレルバス220および画像データ制御部203でのバス制御により、ディジタル複合機の機能を実現する。ファクシミリ送信機能は読み取られた画像データを画像処理プロセッサー204にて画像処理を実施し、画像データ制御部203およびパラレルバス220を経由してファクシミリ制御ユニット224へ転送する。ファクシミリ制御ユニット224にて通信網へのデータ変換をおこない、公衆回線(PN)225へファクシミリデータとして送信する。

#### 【0065】

一方、受信されたファクシミリデータは、公衆回線(PN)225からの回線データをファクシミリ制御ユニット224にて画像データへ変換され、パラレルバス220および画像データ制御部203を経由して画像処理プロセッサー204へ転送される。この場合、特別な画質処理はおこなわず、ビデオ・データ制御部205においてドット再配置およびパルス制御をおこない、作像ユニット206において転写紙上に再生画像を形成する。

#### 【0066】

複数ジョブ、たとえば、コピー機能、ファクシミリ送受信機能、プリンター出力機能が並行に動作する状況において、読み取りユニット201、作像ユニット206およびパラレルバス220の使用権のジョブへの割り振りをシステム・コントローラー231およびプロセス・コントローラー211において制御する。

#### 【0067】

プロセス・コントローラー211は画像データの流れを制御し、システム・コントローラー231はシステム全体を制御し、各リソースの起動を管理する。また、ディジタル複合機の機能選択は操作パネル(操作部)234において選択入力し、コピー機能、ファクシミリ機能等の処理内容を設定する。

#### 【0068】

システム・コントローラー231とプロセス・コントローラー211は、パラレルバス220、画像データ制御部203およびシリアルバス210を介して相互に通信をおこなう。具体的には、画像データ制御部203内においてパラレルバス220とシリアルバス210とのデータ・インターフェースのためのデータ

フォーマット変換をおこなうことにより、システム・コントローラー231とプロセス・コントローラー211間の通信をおこなう。

#### 【0069】

(画像処理ユニット103／画像処理プロセッサー204)

つぎに、画像処理ユニット103を構成する画像処理プロセッサー204における処理の概要について説明する。図3は本実施の形態に係る画像処理装置の画像処理プロセッサー204の処理の一例を示すブロック図である。

#### 【0070】

図3のブロック図において、画像処理プロセッサー204は、第1入力I/F501と、スキャナー画像処理部502と、第1出力I/F503と、第2入力I/F504と、画質処理部と、第2出力I/F506とを含む構成となっている。

#### 【0071】

上記構成において、読み取られた画像データはセンサー・ボード・ユニット202、画像データ制御部203を介して画像処理プロセッサー204の第1入力インターフェース(I/F)501からスキャナー画像処理部502へ伝達される。

#### 【0072】

読み取られた画像データの劣化を補正することが目的であり、具体的には、シエーディング補正、スキャナーノイズ補正、MTF補正等をおこなう。補正処理ではないが、拡大／縮小の変倍処理もおこなうことができる。読み取り画像データの補正処理が終了すると、第1出力インターフェース(I/F)503を介して画像データ制御部203へ画像データを転送する。

#### 【0073】

転写紙への出力の際は、画像データ制御部203からの画像データを第2入力I/F504より受信し、画質処理部505において面積階調処理をおこなう。画質処理後の画像データは第2出力I/F506を介してビデオ・データ制御部205または画像データ制御部203へ出力される。

#### 【0074】

画質処理部505における面積階調処理は、濃度変換処理、ディザ処理、誤差拡散処理等があり、階調情報の面積近似を主な処理とする。一旦、スキャナー画像処理部502により処理された画像データをメモリー・モジュール222に蓄積しておけば、画質処理部505により画質処理を変えることによって種々の再生画像を確認することができる。

## 【0075】

たとえば、再生画像の濃度を振って（変更して）みたり、ディザマトリックスの線数を変更してみたりすることにより、再生画像の雰囲気を容易に変更することができる。この際、処理を変更するごとに画像を読み取りユニット201からの読み込みをやり直す必要はなく、メモリー・モジュール222から蓄積された画像データを読み出すことにより、同一画像データに対して、何度も異なる処理を迅速に実施することができる。

## 【0076】

スキャナー画像処理部502および画質処理部505の処理内容はプログラムに変更することができる。処理の切り替え、処理手順の変更等はシリアルI/F508を介して制御部507において管理する。また、制御部507は、後述するFIFOメモリーのライトイネーブル信号（ライトイネーブルのタイミング）、リードイネーブル信号（リードイネーブルのタイミング）、書きクロック数、読み出クロック数を制御する。

## 【0077】

図3においては、説明の便宜上、スキャナー画像処理部502および画質処理部505を別々のブロックで表したが、実際のデータは、同等な構造を有するS-IMD型プロセッサーおよびFIFOメモリーとからなるユニットを複数結合することにより処理されるものであり、この結合された複数のユニットが、それぞれスキャナー画像処理部502および画質処理部に別個独立に配設されることが必要であることを意味するものではない。

## 【0078】

ここで、画像処理プロセッサー204の内部構成について説明する。図4は本実施の形態に係る画像処理装置の画像処理プロセッサー204の内部構成を示す

ブロック図であり、図5は概略構成図である。画像処理プロセッサーは、外部とのデータ入出力に関し、複数個の入出力ポート（画像ポート）601を備え、それぞれデータの入力および出力を任意に設定することができる。

#### 【0079】

また、入出力ポート601と接続するように内部にバス・スイッチ／ローカル・メモリー群602を備え、使用するメモリー領域、データパスの経路をメモリ一制御部603において制御する。入力されたデータおよび出力のためのデータは、バス・スイッチ／ローカル・メモリー群602をバッファー・メモリーとして割り当て、それに格納し、外部とのI/Fを制御される。

#### 【0080】

バス・スイッチ／ローカル・メモリー群602に格納された画像データに対してプロセッサー・アレー部604において各種処理をおこない、出力結果（処理された画像データ）を再度バス・スイッチ／ローカル・メモリー群602に格納する。プロセッサーの処理手順、処理のためのパラメーター等は、プログラムRAM605およびデータRAM606との間でやりとりをおこなう。

#### 【0081】

プログラムRAM605、データRAM606の内容はシリアルI/F608を通じて、プロセス・コントローラー211からホスト・バッファー607にダウンロードされる。また、プロセス・コントローラー211がデータRAM606の内容を読み出して、処理の経過を監視する。

#### 【0082】

処理の内容を変えたり、システムで要求される処理形態が変更になる場合は、プロセッサー・アレー部604が参照するプログラムRAM605およびデータRAM606の内容を更新して対応する。

#### 【0083】

図6は、図5に示した画像処理プロセッサーの概略構成図の一部分を模式的に示した模式図である。図6では、図5におけるローカル・メモリー群をデータの入力側に対してはIN\_FIFOと表しデータの出力側に対してはOUT\_FIFOと表す。また、プロセッサー・アレー部604は SIMD型プロセッサーの

集合として表す。

#### 【0084】

図から明らかなように、画像データは、同等な構造を有する SIMD型プロセッサーおよびFIFOメモリーとからなるユニットを複数結合することにより処理される。ただし、ここでのユニットとは、物理的に一体という意味でなく、単に、データの処理過程において組として使用されるという意味で用いる。

#### 【0085】

このユニットが複数あることで、設定により定められた長さの画像データを入出力ポート601から入力して、プログラムの制御に基づいて、所望の画像処理をおこない、処理後のデータを入出力ポート601から出力するような動作が可能となる。

#### 【0086】

本実施の形態では、SIMD型プロセッサーが一度に読み込める画素長は、A3原稿を600dpiの画素密度で読み取ったときの主走査長である7020画素を越える長さの8000画素であるとする。したがって、600dpiで読み込む場合は、原理的に1個のSIMD型プロセッサーで画像処理をおこなうことができる。

#### 【0087】

本実施の形態の画像処理装置は、さらに、図6に示したように、SIMD型プロセッサーおよびFIFOメモリーからなるユニットが複数個接続して、8000画素を越える主走査長のデータをあつかえるように構成したものである。32ビットの入力データであるIDTはFIFOメモリーIN\_FIFOに入力し、i SIMDとしてSIMD型プロセッサーに出力される。

#### 【0088】

SIMD型プロセッサーで処理されたデータは、o SIMDとしてFIFOメモリーOUT\_FIFOに入力され、OUT\_FIFOから出力データo DTとして出力される。IN\_FIFOおよびOUT\_FIFOはSIMD型プロセッサーの個数だけ用意されている。

#### 【0089】

本発明の SIMD 型プロセッサーは、使用の態様により着脱可能な構成である。これは、 SIMD 型プロセッサーの処理能力が向上した場合に、 SIMD 型プロセッサー部分の交換により、画像処理装置全体の処理速度を向上することを可能とするためである。

#### 【0090】

SIMD 型プロセッサーの処理能力の向上は、一般的には、処理クロック数を向上することにより可能となる。したがって、 IN\_FIFO の処理クロック数もしくは OUT\_FIFO の処理クロック数と、 SIMD 型プロセッサーの処理クロック数は異なり、通常、 SIMD 型プロセッサーの方が高速となる。

#### 【0091】

IN\_FIFO へのライトクロック数（書き込みの速度） i\_WCLK と OUT\_FIFO からのリードクロック数（読み出しの速度） o\_RCLK は i\_DT と同じクロック数である画素クロック sysclk (50MHz) が接続されている。一方、 IN\_FIFO のリードクロック数 i\_RCLK および OUT\_FIFO のライトクロック数 o\_WCLK には、 SIMD 型プロセッサーの処理クロック数である画素クロック数 proc1k (55MHz) が接続されている。

#### 【0092】

複数ある IN\_FIFO 、 OUT\_FIFO のライトイネーブル信号、ライトリセット信号、リードイネーブル信号、リードリセット信号は、制御部 507 ( 図 3 参照 ) で各動作モードに応じた信号が発生される。なお、ここでは、 SIMD 型プロセッサーに接続されるメモリーは FIFO メモリーとしたが、 2 port の RAM などにより画像処理プロセッサーを構成してもよい。

#### 【0093】

つぎに、 IN\_FIFO 、 SIMD 型プロセッサー、 OUT\_FIFO の処理の流れを、タイミングチャートを用いて説明する。図 7 は、 IN\_FIFO 、 SIMD 型プロセッサー、 OUT\_FIFO の処理の流れを示すタイミングチャートである。

#### 【0094】

ここでは、 8128 画素をあつかえる SIMD 型プロセッサー 2 つを用いて 1

5900画素を処理する画像処理装置について説明する。基本となる考え方は、たとえば読み取りユニット201(図2参照)で読み込む主走査方向の1ライン分の画像データ15900画素を2分して、2つのSIMD型プロセッサーで処理をまかない、処理できる画素長を大きくするというものである。通常の並列処理である場合、すなわち、他の画素を参照せずに、一定の画像処理をおこなう場合は、iDTから入力する画像データを単に切り分け、各IN\_FIFOに入力すればよい。

#### 【0095】

一方、誤差拡散処理のようなフィルターをかける処理、すなわち、周辺画素を参照して計算をおこなうようなアルゴリズムを実施する場合には、継ぎ目部分の演算を正しくおこなうため、2つのSIMD型プロセッサーの担当する領域の継ぎ目部分に、お互いに重なり合う部分が必要となる。そのため8000画素の演算出力が必要な場合、この例では、処理する画素の先端と後端にそれぞれ64画素のオーバーラップする画素を付加する。そのため、IN\_FIFOのライトインペブルは8128画素分発生する。

#### 【0096】

なお、SIMD型プロセッサーで一括して画像処理することのできる画素数から注目画素の参照する周囲の画素の数を差し引いた画素数(有効画素数)が、ディザマトリックスの行の数もしくは列の数の倍数としてもよい。各有効画素のつなぎ目がディザマトリックスの切り替わりと一致することで、ディザ処理演算を円滑におこなうことが可能となり、また、処理プログラムを単純化することが可能となるからである。

#### 【0097】

前述したように、SIMD型プロセッサーの処理速度に合致するように、IN\_FIFOからデータを読み出しSIMD型プロセッサーへデータを渡す場合のクロック数は、IN\_FIFOがiDTを入力するクロック数より速いクロック数である。この実施例では50MHzでIN\_FIFOへ書き込みをおこない、55MHzでOUT\_FIFO読み出しをおこなう。

#### 【0098】

SIMD型プロセッサーに渡されるデータは、8128画素単位で分割して送られる。SIMD型プロセッサーは、当該プロセッサーのライトイネーブルであるSIMD\_WE1、SIMD\_WE2で読み取る。SIMD型プロセッサー内部で所定の演算（画像処理）をおこなった後、当該プロセッサーのリードイネーブルであるSIMD\_RE1、SIMD\_RE2で読み出しがおこなわれる。

#### 【0099】

SIMD型プロセッサーから読み出されたデータ。SIMDは有効画素以外のオーバーラップ分（64画素×2=128画素）が付加された8128画素である。そのため、有効部分（重複しない部分）の8000画素だけを切り取るようなタイミングで。WEN（ライトイネーブル）が発生される。

#### 【0100】

2本のFIFOをトグルで動作する様に、ライトイネーブル、ライトリセットを発生する。読み出しは、入力された画素クロック（IDTの画素クロック=50MHz）で、各OUT\_FIFOからの出力データがつながるように。REN（リードイネーブル）を制御して、最終的なDTが得られる。

#### 【0101】

ゲート信号に関しては、入力データのゲート信号XILSYNC、XILGATEに対してSIMD型プロセッサーと、そのインターフェース部でのゲート信号のディレーを付加した信号をXOLSYNC、XOLGATEとして生成される。このFIFOメモリーのタイミングの場合、入力データをFIFOメモリーにライトし終わってからリードをおこなう。そのためFIFOメモリーの長さはSIMD型プロセッサーの処理画素数（8128画素）以上必要となる。

#### 【0102】

（画像データ制御ユニット100／画像データ制御部203）

つぎに、画像データ制御ユニット100を構成する画像データ制御部203における処理の概要について説明する。図8は本実施の形態に係る画像処理装置の画像データ制御部203の処理の概要を示すブロック図である。

#### 【0103】

図8のブロック図において、画像データ入出力部701は、センサー・ボード

・ユニット202からの画像データを入力（受信）し、画像処理プロセッサー204に対して画像データを出力（送信）する。すなわち、画像データ入出力部701は、画像読み取りユニット101と画像処理ユニット103（画像処理プロセッサー204）接続するための構成部であり、画像読み取りユニット101により読み取られた画像データを画像処理ユニット103へ送信するためだけの専用の入出力部であるといえる。

#### 【0104】

また、画像データ入力制御部702は、画像処理プロセッサー204でスキヤナ画像補正された画像データを入力（受信）する。入力された画像データはパラレルバス220における転送効率を高めるために、データ圧縮部703においてデータ圧縮処理をおこなう。その後、データ変換部704を経由し、パラレルデータI/F705を介してパラレルバス220へ送出される。

#### 【0105】

パラレルバス220からパラレルデータI/F705を介して入力される画像データは、バス転送のために圧縮されているため、データ変換部704を経由してデータ伸張部706へ送られ、そこでデータ伸張処理をおこなう。伸張された画像データは画像データ出力制御部707において画像処理プロセッサー204へ転送される。

#### 【0106】

また、画像データ制御部203は、パラレルデータとシリアルデータの変換機能も備えている。システム・コントローラー231はパラレルバス220にデータを転送し、プロセス・コントローラー211はシリアルバス210にデータを転送する。画像データ制御部203は2つのコントローラーの通信のためにデータ変換をおこなう。

#### 【0107】

また、シリアルデータI/Fは、シリアルバス210を介してプロセス・コントローラとのデータのやりとりをする第1シリアルデータI/F707と、画像処理プロセッサー204とのデータのやりとりに用いる第2シリアルデータI/F708を備える。画像処理プロセッサー204との間に独立に1系統持つこ

とにより、画像処理プロセッサー204とのインターフェースを円滑化することができる。

#### 【0108】

コマンド制御部709は、入力された命令にしたがって、上述した画像データ制御部203内の各構成部および各インターフェースの動作を制御する。

#### 【0109】

(画像書きユニット104／ビデオ・データ制御部205)

つぎに、画像書きユニット104の一部を構成するビデオ・データ制御部205における処理の概要について説明する。図9は本実施の形態に係る画像処理装置のビデオ・データ制御部205の処理の概要を示すブロック図である。

#### 【0110】

図9のブロック図において、ビデオ・データ制御部205は、入力される画像データに対して、作像ユニット206の特性に応じて、追加の処理をおこなう。すなわち、エッジ平滑処理部801がエッジ平滑処理によるドットの再配置処理をおこない、パルス制御部802がドット形成のための画像信号のパルス制御をおこない、上記の処理がおこなわれた画像データを作像ユニット206へ出力する。

#### 【0111】

画像データの変換とは別に、パラレルデータとシリアルデータのフォーマット変換機能を備え、ビデオ・データ制御部205単体でもシステム・コントローラー231とプロセス・コントローラー211の通信に対応することができる。すなわち、パラレルデータを送受信するパラレルデータI/F803と、シリアルデータを送受信するシリアルデータI/F804と、パラレルデータI/F803およびシリアルデータI/F804により受信されたデータを相互に変換するデータ変換部805とを備えることにより、両データのフォーマットを変換する。

#### 【0112】

(画像メモリー制御ユニット102／画像メモリー・アクセス制御部221)

つぎに、画像メモリー制御ユニット102の一部を構成する画像メモリー・ア

クセス制御部221における処理の概要について説明する。図10は本実施の形態に係る画像処理装置の画像メモリー・アクセス制御部221の処理の概要を示すブロック図である。

#### 【0113】

図10のブロック図において、画像メモリー・アクセス制御部221は、パラレルバス220との画像データのインターフェースを管理し、また、メモリー・モジュール222への画像データのアクセス、すなわち格納（書き込み）／読み出しを制御し、また、主に外部のPCから入力されるコードデータの画像データへの展開を制御する。

#### 【0114】

そのために、画像メモリー・アクセス制御部221は、パラレルデータI/F901と、システム・コントローラーI/F902と、メモリー・アクセス制御部903と、ラインバッファー904と、ビデオ制御部905と、データ圧縮部906と、データ伸張部907と、データ変換部908と、を含む構成である。

#### 【0115】

ここで、パラレルデータI/F901は、パラレルバス220との画像データのインターフェースを管理する。また、メモリー・アクセス制御部903は、メモリー・モジュール222への画像データのアクセス、すなわち格納（書き込み）／読み出しを制御する。

#### 【0116】

また、入力されたコードデータは、ラインバッファー904において、ローカル領域でのデータの格納をおこなう。ラインバッファー904に格納されたコードデータは、システム・コントローラーI/F902を介して入力されたシステム・コントローラー231からの展開処理命令に基づき、ビデオ制御部905において画像データに展開される。

#### 【0117】

展開された画像データもしくはパラレルデータI/F901を介してパラレルバス220から入力された画像データは、メモリー・モジュール222に格納される。この場合、データ変換部908において格納対象となる画像データを選択

し、データ圧縮部906においてメモリー使用効率を上げるためにデータ圧縮をおこない、メモリー・アクセス制御部903にてメモリー・モジュール222のアドレスを管理しながらメモリー・モジュール222に画像データを格納（書き込み）する。

#### 【0118】

メモリー・モジュール222に格納（蓄積）された画像データの読み出しは、メモリー・アクセス制御部903において読み出し先アドレスを制御し、読み出された画像データをデータ伸張部907において伸張する。伸張された画像データをパラレルバス220へ転送する場合、パラレルデータI/F901を介してデータ転送をおこなう。

#### 【0119】

##### （画像処理の内容）

つぎに、本実施の形態に係る画像処理装置の画像処理の内容について説明する。図11は、本実施の形態に係る画像処理装置のスキャナーの概略（空間フィルターの一例）を示す説明図である。MTF補正機能は空間フィルターの構成により実現する。

#### 【0120】

図11において、2次元の空間フィルターが、A～Yまでのフィルター係数を伴って構成される場合に、入力画像データに関しては、すべての画像に同一の演算処理でフィルター処理を実施している。たとえば、入力画像データ（i行、j列）を中心にして空間フィルター処理をおこなう場合、それぞれi行、j列の画像に対し、対応する係数との演算処理をおこなう。 $(i, j)$ の画素は係数値Mとの演算を、 $(i, j+1)$ の画素は係数値Nとの演算をそれぞれおこない、フィルターマトリックス内の計算結果が、注目画素 $(i, j)$ の処理結果として出力される。

#### 【0121】

注目画素が $(i, j+1)$ の場合、 $(i, j+1)$ の画素は係数値Mとの演算をおこない、 $(i, j+2)$ の画素は係数値Nとの演算をおこない、フィルターマトリックス内の計算結果が、注目画素 $(i, j+1)$ の処理結果として出力さ

れる。

### 【0122】

入力画像データが異なり、処理のためのパラメーターが共通な処理となってい  
る。この空間フィルター処理において、係数値A～Yの値は固定ではなく、入力  
画像の特性、所望の画像品質に応じて値は任意に変更できる。また変更できな  
いと画像処理機能の柔軟性が確保できなくなる場合がある。

### 【0123】

画像処理プロセッサー204での実施は、係数値をプロセス・コントローラー  
よりダウンロードし、読み取りユニットの構成が変更になり、読み取り画像劣化の特性が  
変更になっても、ロードするデータの内容を変更することでシステムの変更に対  
応できる。なお、画像処理プロセッサー204の並列処理については後に詳述す  
る。

### 【0124】

図12は、本実施の形態に係る画像処理装置のシェーディング補正の概略を示  
す説明図である。また、図13は、本実施の形態に係る画像処理装置のシェーデ  
ィング・データの概略を示す説明図である。シェーディング補正是照明系の照度  
分布に基づく反射光特性の不均一性を補正するもので、原稿の読み取りに先立ち  
濃度が均一な基準白板を読み取り、シェーディング補正のための基準データを生  
成し、このシェーディング・データに基づき、読み取り画像の読み取り位置に依  
存する反射分布の正規化をおこなう。

### 【0125】

図13に示すように、シェーディング・データは、原稿読み取り位置nに依存  
して反射分布が異なる。原稿読み取り位置の端部では均一濃度の白板が暗く読ま  
れる。S<sub>n</sub>は読み取り位置nでの白板読み取り信号レベルを示しており、S<sub>n</sub>が  
大きいほど明るく読まれたことを示している。

### 【0126】

シェーディング補正是、位置に依存するデータに関して、同一内容の処理を各  
読み取り画像データに対し実施することでランプの光量分布ムラを補正する。図  
12に示すSデータは、図13に示す白板読み取りによって生成されたシェーデ

イング・データである。また、図12に示すDデータは、各読み取りラインの読み取り画像データである。また、nは読み取り位置を示す。

### 【0127】

Cデータは、Dデータのシェーディング補正後のデータであり、

$$C_n = A * (D_n / S_n)$$

で正規化される。ここで、Aは正規化係数である。

### 【0128】

画像処理プロセッサー204においては、Sデータをローカル・メモリーに格納し、入力されたDデータに対し対応するDn、Sn間で補正演算をおこなう。

### 【0129】

(SIMD型プロセッサーの構成)

図14はSIMD型プロセッサーの概略構成を示す説明図である。SIMD (Single Instruction stream Multiple Data stream) は複数のデータに対し、单一の命令を並列に実行させるもので、複数のPE (プロセッサー・エレメント) より構成される。このSIMD型プロセッサーは図4もしくは図5におけるプロセッサー・アレー部604内に配設される。

### 【0130】

それぞれのPEはデータを格納するレジスター (Reg) 2001、他のPEのレジスターをアクセスするためのマルチプレクサー (MUX) 2002、バーチルシフター (Shift Expand) 2003、論理演算器 (ALU) 2004、論理結果を格納するアキュムレーター (A) 2005、アキュムレーターの内容を一時的に退避させるテンポラリー・レジスター (F) 2006から構成される。

### 【0131】

各レジスター2001はアドレスバスおよびデータバス (リード線およびワード線) に接続されており、処理を規定する命令コード、処理の対象となるデータを格納する。レジスター2001の内容は論理演算器2004に入力され、演算処理結果はアキュムレーター2005に格納される。結果をPE外部に取り出す

ために、テンポラリー・レジスター2006に一旦退避させる。テンポラリー・レジスター2006の内容を取り出すことにより、対象データに対する処理結果が得られる。

#### 【0132】

命令コードは各PEに同一内容で与え、処理の対象データをPEごとに異なる状態で与え、隣接PEのレジスター2001の内容をマルチプレクサー2002において参照することで、演算結果は並列処理され、各アキュムレーター2005に出力される。

#### 【0133】

たとえば、画像データ1ラインの内容を各画素ごとにPEに配置し、同一の命令コードで演算処理させれば、1画素づつ逐次処理するよりも短時間で1ライン分の処理結果が得られる。特に、空間フィルター処理、シェーディング補正処理はPEごとの命令コードは演算式そのもので、PEすべてに共通に処理を実施することができる。

#### 【0134】

以上説明したように、本実施の形態に係る画像処理装置は、汎用の固定長のメモリーを有する演算プロセッサーを複数個、たとえば、主走査方向の1ラインの画素を処理すべく接続して用いるので、多機能を実現するシステムの画像処理により、開発効率を向上した高速な画像処理をおこなうことができる。

#### 【0135】

また、FIFOメモリーを設け、適当なタイミングでリードイネーブル、ライトイネーブルとなるように制御されるので、一定長の重複画素を処理することにより、他の画素を参照する画像処理であっても、高速な並列処理を図ることができる。

#### 【0136】

また、SIMD型プロセッサーの処理クロック数がFIFOメモリーと異なっていても、画像処理可能であり、高速な画像処理を図ることが可能となる。多機能を実現するシステムの画像処理に関する各資源の有効活用を図り、開発効率を向上した高速な画像処理をおこなうことができる。

## 【0137】

## 〔実施の形態2〕

実施の形態1では、入出力のFIFOメモリーがSIMD型プロセッサーにおける処理画素数以上の値を必要としていたが、実施の形態2では、FIFOメモリーがSIMD型プロセッサーの処理画素数以下でも、高速に画像処理する画像処理装置について説明する。本実施の形態においては、実施の形態1と共に通する部分については、説明を省略し、実施の形態1と異なる部分について説明する。なお、図面も、実施の形態1と同一の部分については同一の符号を付することとする。

## 【0138】

図15は、実施の形態2の画像処理装置の画像処理プロセッサーにおける処理動作を示すタイミングチャートである。本実施の形態においては入力データIDTが主走査方向の単位である15900画素ごとに処理され、オーバーラップ分を含めて50MHzのクロック数で8128画素分IN\_FIFOに書き込まれる点については実施の形態1の場合と同じである。

## 【0139】

実施の形態1ではFIFOメモリーにすべてのデータを書き終わってから読み出しがおこなわれていたが、本実施例では書き終わる前に読み出しを開始する。書き込まれるデータのクロック数は50MHzで読み出しのクロック数は55MHzである。

## 【0140】

したがって、読み出しの方が速いが、FIFOメモリーに813画素(8128×5/50=812.8)を保持する容量とすれば、813画素以上のデータを蓄積後(書き込み後)に読み出しを開始する制御をおこなうことにより、読み出しのアドレスが書き込みのアドレスを追い越すことはない。

## 【0141】

すなわち、FIFOメモリーがSIMD型プロセッサーの一括処理できる容量より小さい場合であっても、FIFOメモリーの読み出、書き込みのタイミング制御をおこなうことによって、画像処理プロセッサー全体を改版しなくてよくなる

## 【0142】

また、一般にFIFOメモリーは一定のバッファーリングをおこなうため、後の処理動作に一定のタイムラグを生じる。したがって、FIFOメモリーの容量が小さい方が、処理が高速となるといえる。したがって、本発明のように、SIMD型プロセッサーの処理速度の向上に伴って、FIFOメモリーが相対的に容量不足になっても、かえって、全体の処理速度の向上が図られる。もしくは、意図的にFIFOメモリーを小さくし、かつ、SIMD型プロセッサーを高速にすることによって、処理速度の向上を相乗的に図ることが可能となる。

## 【0143】

なお、出力側のOUT\_FIFOのデータの入出力は入力側と反対であり、OUT\_FIFOへのデータ入力は55MHzでおこなわれ、データ出力は50MHzでおこなわれる。したがって、書き込みのアドレスを読み出しのアドレスが追い越すことはない。

## 【0144】

ただし、読み出しの方が遅いので、読み出す前のデータはFIFOメモリー内に蓄積しておく必要がある。前述したように、8128画素のデータをあつかうのであればOUT\_FIFOは813画素以上のデータを蓄積できる長さが必要となる。なお、入力のゲート信号に対する遅延は請求項1と同じようにゲート遅延ブロックで所望の量だけおこなわれる。

## 【0145】

実施の形態2の画像処理装置は、SIMD型プロセッサーの処理速度が、IN\_FIFOへの書き込み速度およびOUT\_FIFOからの読出速度より高速であっても、所定の書込タイミングもしくは読出タイミングを制御することにより、SIMD型プロセッサーはその高速処理能力を十分に發揮しつつ、FIFOメモリーにあっては、容量を少なくしてタイムラグの発生を減少させることが可能となり、全体として高速な画像処理が可能となる。

## 【0146】

〔実施の形態3〕

実施の形態3では、少ないS I M D型プロセッサーの個数でさらに長い主走査をカバーできる画像処理装置を提供する。本実施の形態においては、実施の形態1または2と共通する部分については、説明を省略し、実施の形態1または2と異なる部分について説明する。なお、図面も、実施の形態1または2と同一の部分については同一の符号を付することとする。

#### 【0147】

図16は、2個のS I M D型プロセッサーを2回繰り返して用いることで、31800画素まで一括して画像処理する画像処理プロセッサーの処理動作のタイミングチャートである。基本的なライトイネーブルのタイミングとリードイネーブルのタイミングは実施の形態2と同様であり、S I M D型プロセッサーの一括処理長である8128画素より短いF I F OメモリーとI／Fできるようなタイミングがとられているものである。

#### 【0148】

2つのS I M D型プロセッサーをそれぞれ、S I M D型プロセッサー1、S I M D型プロセッサー2とする。S I M D型プロセッサー1が先頭から8128画素のデータ1を処理する。64画素のオーバーラップを含んでつぎの8128画素のデータ2の処理はS I M D型プロセッサー2がおこなう。

#### 【0149】

つぎの8128画素のデータ1が入ってくるときには、S I M D型プロセッサー1はすでに処理を終えているので、このデータの処理にS I M D型プロセッサー1は再度使用される。さらにつぎの8128画素のデータ2が入ってくるときには、S I M D型プロセッサー2はすでに処理を終えているので、このデータの処理にS I M D型プロセッサー2は再度使用される。

#### 【0150】

実施の形態3では、図2における、読み取りユニット201等で、一括して処理する必要のある主走査方向にまとまった画素が増大し、用意されたS I M D型プロセッサーの一括処理長より長くなった場合でも、画像処理プロセッサーを交換することなく、S I M D型プロセッサーを繰り返し用いて画像処理をすることが可能となる。

## 【0151】

## 〔実施の形態4〕

本実施の形態では、実施の形態1、2または3で説明した各SIMD型プロセッサーの画像の連結の際のオーバーラップの量を変えられるようにした画像処理装置について説明する。

## 【0152】

通常、SIMD型プロセッサーの中でおこなわれる処理の内容によって最低限必要なオーバーラップの量は変化する。たとえば中心画素から左右5画素を参照する9画素のフィルター処理が必要な場合は、オーバーラップは最低5画素を必要とする。これが像域分離など、さらに広い範囲を参照する必要のあるアルゴリズムの場合は、オーバーラップ量をさらに増やす必要がある。

## 【0153】

一方、常に余裕のあるオーバーラップの量を確保するためには、その分多くの画素を処理しなければいけないため処理クロック数の必要以上の高速化を招く。これは消費電力の増大、EMI (ElectroMagnetic Interference: 電磁妨害雑音) 対策を必要以上におこなう必要があり、コストアップの将来を招く。したがって、どうしても必要なときだけオーバーラップ数を増やすような制御が望ましい。

## 【0154】

図17はオーバーラップの画素を256画素にしたときのタイミングチャートである。オーバーラップの画素数が増え、左右で512画素必要であるため FIFOメモリーに入出力する画素数は8512画素となる。この画素数のデータをこれまでよりも速い60MHzの速度でFIFOメモリーから読み出す。データのブロック間は重なり合わずSIMD型プロセッサーに渡される。SIMD型プロセッサーでは8512画素を処理する必要があり、60MHzのクロック数でデータを受け取り、内部の処理をおこなう。

## 【0155】

ここで用いた60MHzのクロック数で入出力させるFIFOメモリーなどのタイミングはオーバーラップする画素数によって変化させる必要がある。オーバ

ーラップの量が少なければ処理する画素数も減るのでクロック速度も下がる。反対にオーバーラップの量が多ければクロック速度は上がる。

#### 【0156】

処理が完了したデータは同じ 60MHz のクロック数で SIMD 型プロセッサーから出力されて OUT\_FIFO でオーバーラップの 256 画素を切り取られる。続いて、8000 画素の有効データがつなぎ合わされて 50MHz のクロック数で出力され。DT となる。

#### 【0157】

実施の形態 4 では、処理内容に応じて SIMD 型プロセッサーのクロック速度や各 FIFO メモリーのタイミングを変えることで消費電力や放射電磁界の低減を図ることが可能になる。

#### 【0158】

##### 【発明の効果】

以上説明したように、請求項 1 に記載の発明によれば、入力 I/F 用メモリーが所定の長さの画素を読み出してバッファーリングしたのち、SIMD 型プロセッサーへ書き込み、SIMD 型プロセッサーが前記入力 I/F 用メモリーから書き込まれた画素を一括して処理し、出力 I/F 用メモリーが前記 SIMD 型プロセッサーにより一括処理された画素を読み出してバッファーリングしたのち、所定の出力先へ書き込み制御手段が前記入力 I/F 用メモリーおよび出力 I/F 用メモリーの読み込みおよび／または書き込みのタイミングを制御するため、重複した画素を、さらに高速に SIMD 型プロセッサーで処理させることができ、これにより、画像処理ユニット（画像処理プロセッサー）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサーを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

#### 【0159】

また、請求項 2 に記載の発明によれば、入力 I/F 用メモリーが所定の長さの画素を読み出してバッファーリングしたのち、前記所定の画素の読み出しより速い速度で SIMD 型プロセッサーへ書き込み、SIMD 型プロセッサーが前記入

力I/F用メモリーから書き込まれた画素を一括して処理し、出力I/F用メモリーが前記SIMD型プロセッサーにより一括処理された画素を読み出してバッファーリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込み、制御手段が前記入力I/F用メモリーおよび出力I/F用メモリーの読み込みおよび／または書き込みのタイミングおよび読み込みおよび／または書き込みの速度を制御するため、重複した画素を、さらに高速にSIMD型プロセッサーで処理させることができ、これにより、画像処理ユニット（画像処理プロセッサー）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサーを有効に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

#### 【0160】

また、請求項3に記載の発明によれば、SIMD型プロセッサーの一括して処理する画素より少ない容量を有する入力I/F用メモリーが所定の長さの画素を読み出してバッファーリングしたのち、前記所定の画素の読み出しより速い速度でSIMD型プロセッサーへ書き込み、SIMD型プロセッサーが前記入力I/F用メモリーから書き込まれた画素を一括して処理し、前記SIMD型プロセッサーの一括して処理する画素より少ない容量を有する出力I/F用メモリーが前記SIMD型プロセッサーにより一括処理された画素を読み出してバッファーリングしたのち、前記一括処理された画素の読み出しより遅い速度で所定の出力先へ書き込み、制御手段が、前記入力I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該入力I/F用メモリーの容量に基づいて当該I/F用メモリーに対する書き込みおよび／または読み出しのタイミング、および／または、前記出力I/F用メモリーに対する書き込みおよび／または読み出しの速度と、当該速度と当該出力I/F用メモリーの容量に基づいて当該I/F用メモリーに対する書き込みおよび／または読み出しのタイミングを制御するので、入力I/F用メモリーおよび出力I/F用メモリーの容量を考慮しつつ、重複した画素をSIMD型プロセッサーでもっとも効率的に処理させることができ、これにより、画像処理ユニット（画像処理プロセッサー）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサーを有効に活用し

、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

#### 【0161】

また、請求項4に記載の発明によれば、請求項1、2または3に記載の発明において、前記制御手段が、前記書き込みおよび読み出しのタイミングを制御して、前記入力I/F用メモリーおよび出力I/F用メモリーを複数回使用するため、SIMD型プロセッサーで一括処理できる画素の長さを長くする（1ラインにおける画素数を多くする）ことができ、これにより、画像処理ユニット（画像処理プロセッサー）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサーを有效地に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

#### 【0162】

また、請求項5に記載の発明によれば、請求項1～4のいずれか一つに発明において、前記SIMD型プロセッサーの前記一括して処理する画素数から前記注目画素の参照する周囲の画素の数を差し引いた有効画素数がディザマトリックスの倍数であるため、各有効画素のつなぎ目がディザマトリックスの切り替わりと一致することで、ディザ処理演算を円滑におこなうことができ、これにより、画像処理ユニット（画像処理プロセッサー）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサーを有效地に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるという効果を奏する。

#### 【0163】

また、請求項6に記載の発明によれば、請求項1～5のいずれか一つに記載の発明において、前記SIMD型プロセッサーが、前記入力I/F用メモリーもしくは出力I/F用メモリーから物理的に着脱可能であるため、I/F用メモリーはそのままで、処理能力の向上したSIMD型プロセッサー部分のみを交換することができ、これにより、画像処理ユニット（画像処理プロセッサー）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサーを有效地に活用し、高速な画像処理をおこなう画像処理装置を提供することが可能となるいう効果を奏する。

【図面の簡単な説明】

【図1】

実施の形態1に係る画像処理装置の構成を機能的に示すブロック図である。

【図2】

実施の形態1に係る画像処理装置のハードウェア構成の一例を示すブロック図である。

【図3】

実施の形態1に係る画像処理装置の画像処理プロセッサーの処理の概要を示すブロック図である。

【図4】

実施の形態1に係る画像処理装置の画像処理プロセッサーの内部構成を示すブロック図である。

【図5】

実施の形態1に係る画像処理装置の画像処理プロセッサーの内部構成を示す概略構成図である。

【図6】

図5に示した画像処理プロセッサーの概略構成図の一部分を模式的に示した模式図である。

【図7】

実施の形態1のIN\_FIFO、SIMD型プロセッサー、OUT\_FIFOの処理の流れを示すタイミングチャートである。

【図8】

実施の形態1に係る画像処理装置の画像データ制御部の処理の概要を示すブロック図である。

【図9】

実施の形態1に係る画像処理装置のビデオ・データの処理の概要を示すブロック図である。

【図10】

実施の形態1に係る画像処理装置の画像メモリー・アクセス制御部の処理の概

要を示すブロック図である。

【図11】

実施の形態1に係る画像処理装置のスキャナーの概略（空間フィルターの一例）を示す説明図である。

【図12】

実施の形態1に係る画像処理装置のシェーディング補正の概略を示す説明図である。

【図13】

実施の形態1に係る画像処理装置のシェーディング・データの概略を示す説明図である。

【図14】

実施の形態1に係る画像処理装置に用いられるSIMD型プロセッサーの概略構成を示す説明図である。

【図15】

実施の形態2のIN\_FIFO、SIMD型プロセッサー、OUT\_FIFOの処理の流れを示すタイミングチャートである。

【図16】

実施の形態3のIN\_FIFO、SIMD型プロセッサー、OUT\_FIFOの処理の流れを示すタイミングチャートである。

【図17】

実施の形態4のIN\_FIFO、SIMD型プロセッサー、OUT\_FIFOの処理の流れを示すタイミングチャートである。

【図18】

従来技術に係るディジタル複合機のハードウェア構成を示すブロック図である。

【符号の説明】

100 画像データ制御ユニット

101 画像読み取りユニット

102 画像メモリー制御ユニット

103 画像処理ユニット  
104 画像書き込みユニット  
201 読取ユニット  
202 センサー・ボード・ユニット  
203 画像データ制御部  
204 画像処理プロセッサー  
205 ビデオ・データ制御部  
206 作像ユニット(エンジン)  
210 シリアルバス  
211 プロセス・コントローラー  
212, 232 RAM  
213, 233 ROM  
220 パラレルバス

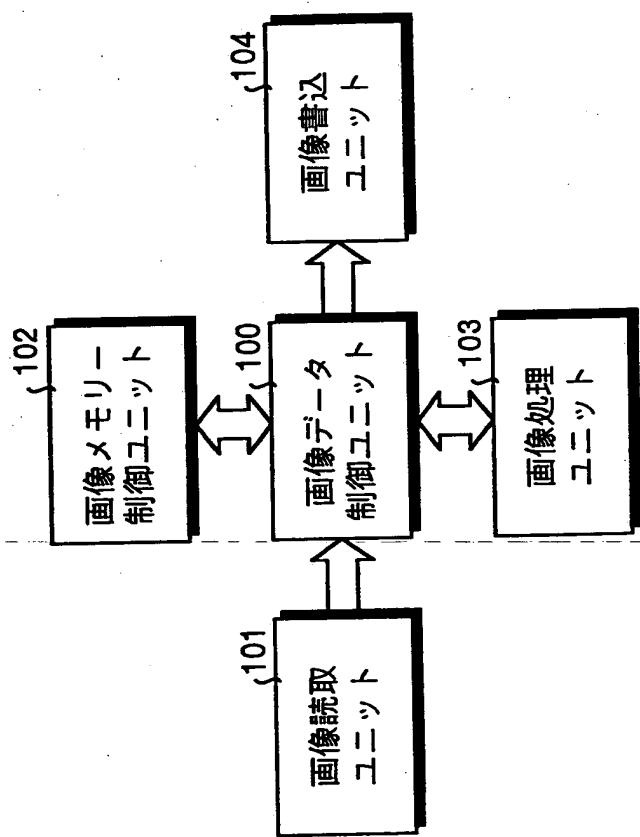
221 画像メモリー・アクセス制御部  
222 メモリー・モジュール  
223 パーソナル・コンピューター(PC)  
224 ファクシミリ制御ユニット  
225 公衆回線  
231 システム・コントローラー  
234 操作パネル  
501, 503, 504, 506 インターフェース(I/F)  
502 スキャナー画像処理部  
504 画像処理部  
507 制御部  
601 入出力ポート  
602 バス・スイッチ/ローカル・メモリー  
603 メモリー制御部  
604 プロセッサー・アレー部  
605 プログラムRAM

- 606 データRAM  
607 ホスト・バッファー  
608 シリアルI/F  
701 画像データ入出力制御部  
702 画像データ入力制御部  
703 データ圧縮部  
704 データ変換部  
705, 803, 901 パラレルデータI/F  
706 データ伸張部  
707 画像データ出力制御部  
801 エッジ平滑処理部  
802 パルス制御部  
804 シリアルデータI/F  
805 データ変換部  
902 システム・コントローラーI/F  
903 メモリー・アクセス制御部  
904 ラインバッファー  
905 ビデオ制御部  
906 データ圧縮部  
907 データ伸張部  
2001 レジスター(Reg)  
2002 マルチプレクサー(MUX)  
2003 バレルシフター(Shift Expand)  
2004 論理演算器(ALU)  
2005 アキュムレーター(A)  
2006 テンポラリー・レジスター(F)

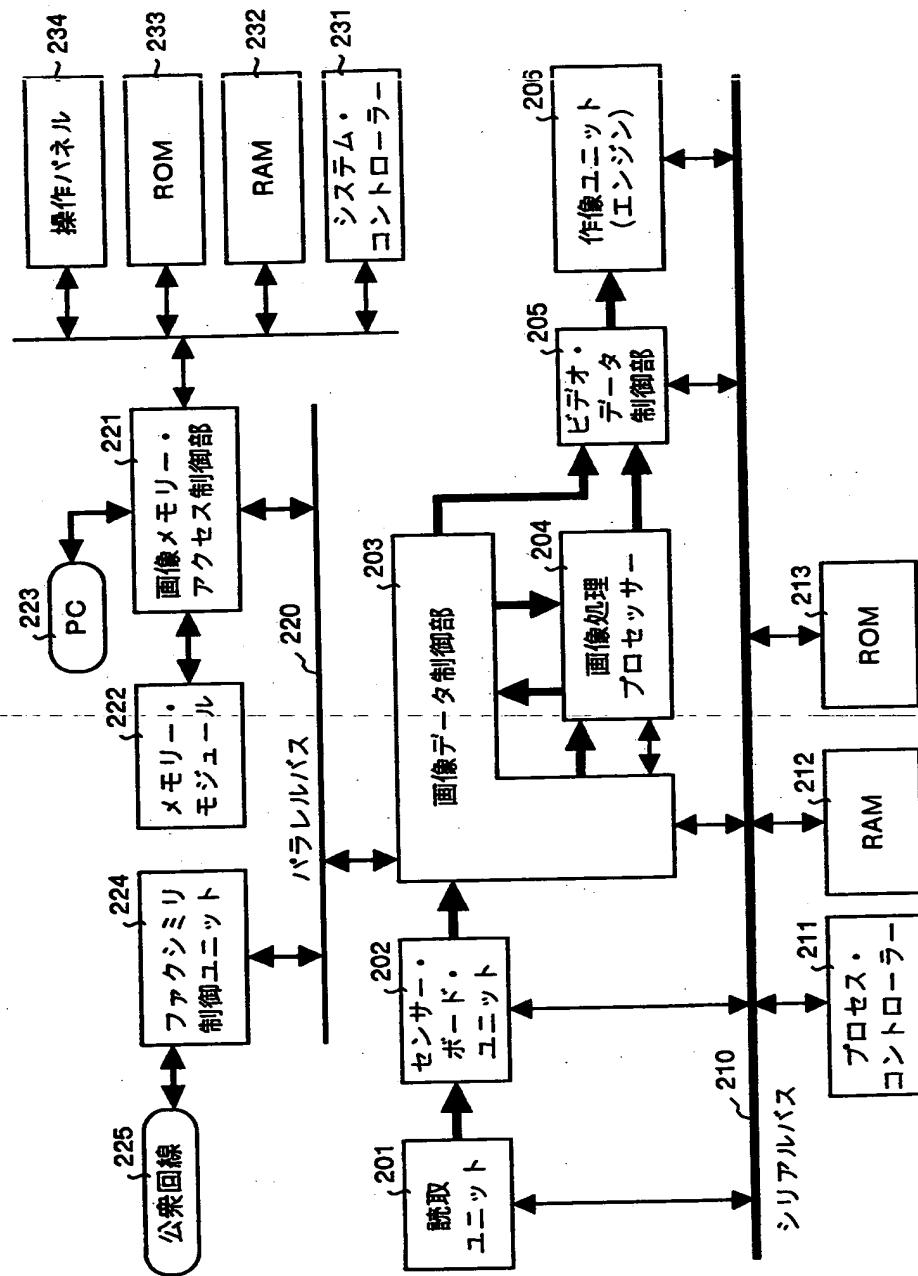
【書類名】

図面

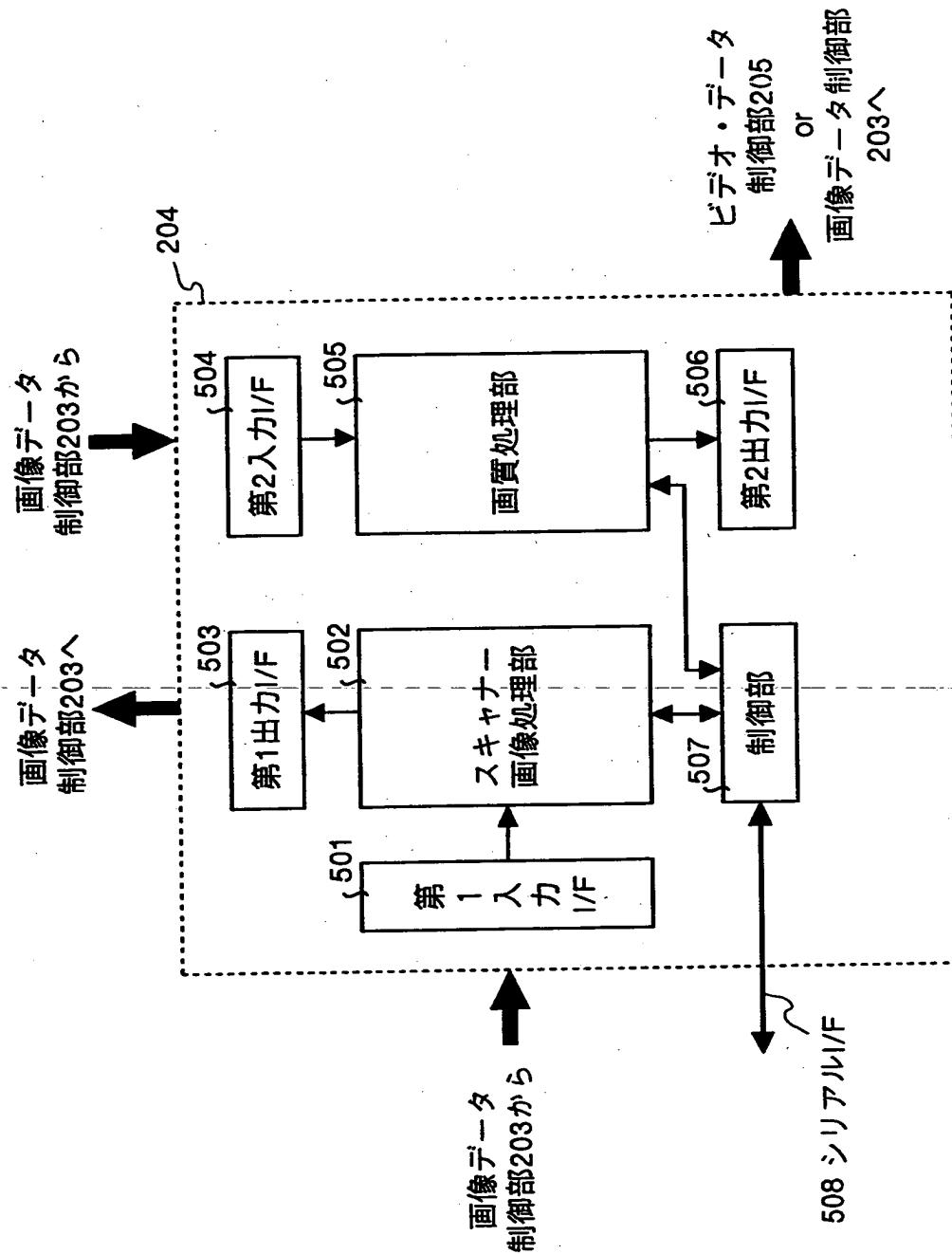
【図1】



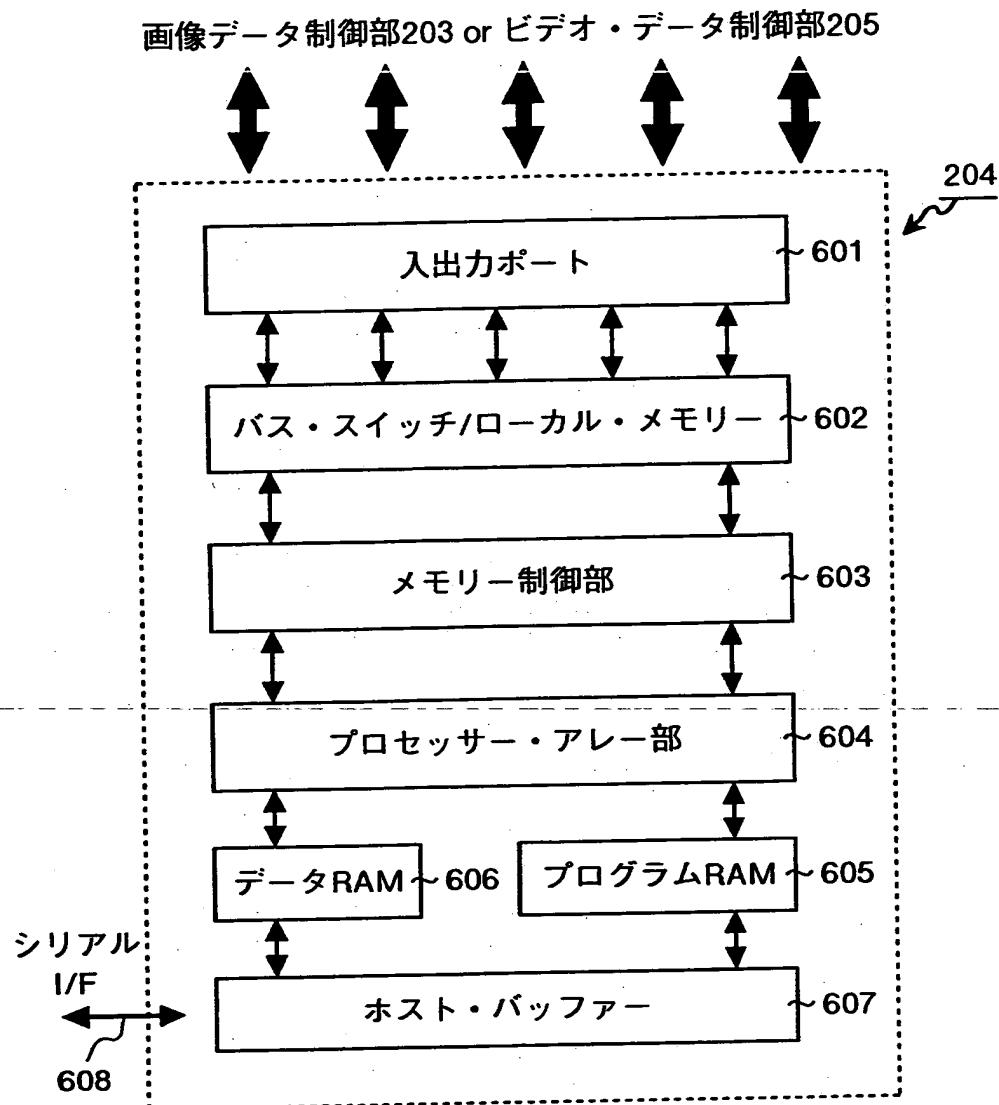
【図2】



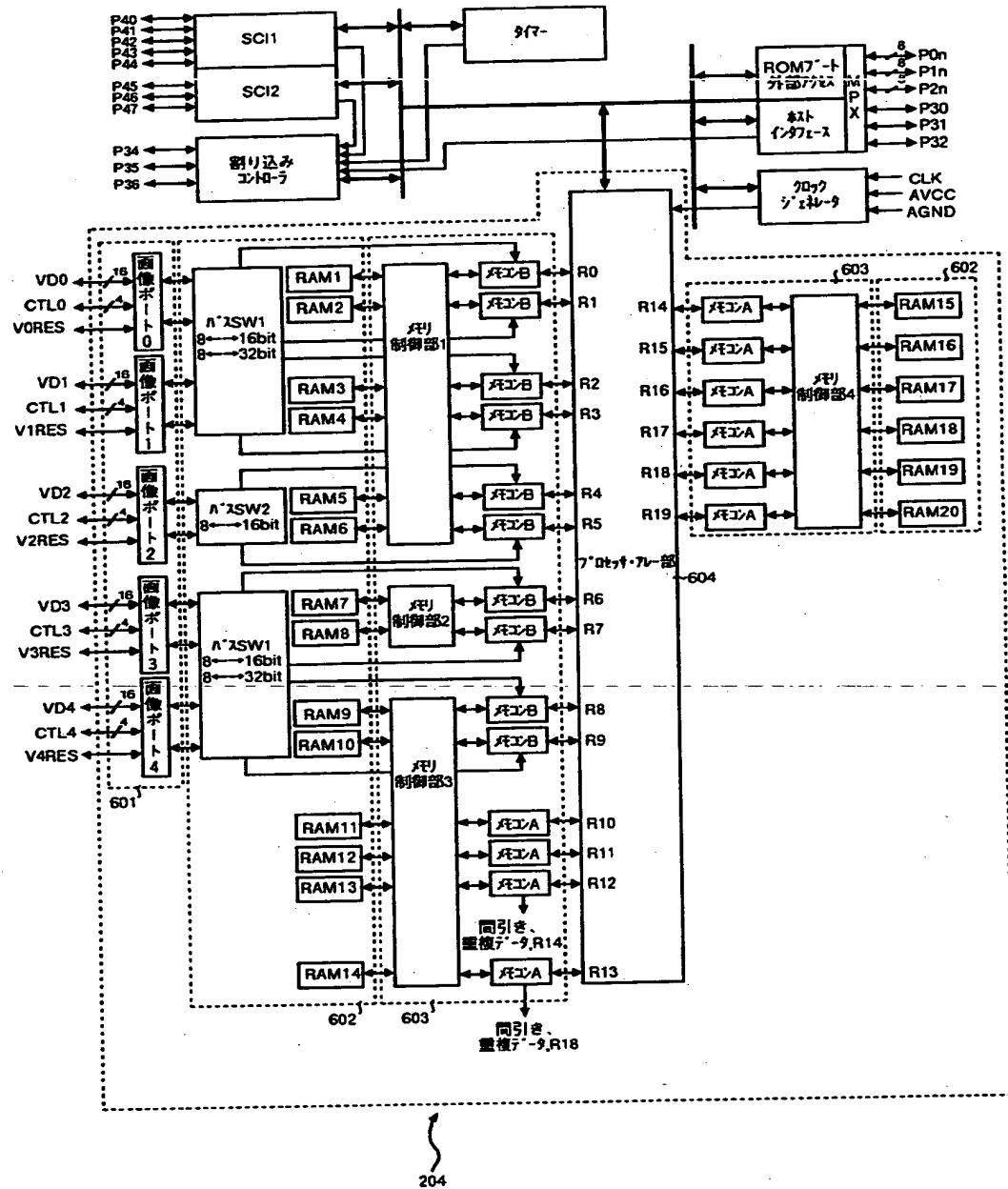
【図3】



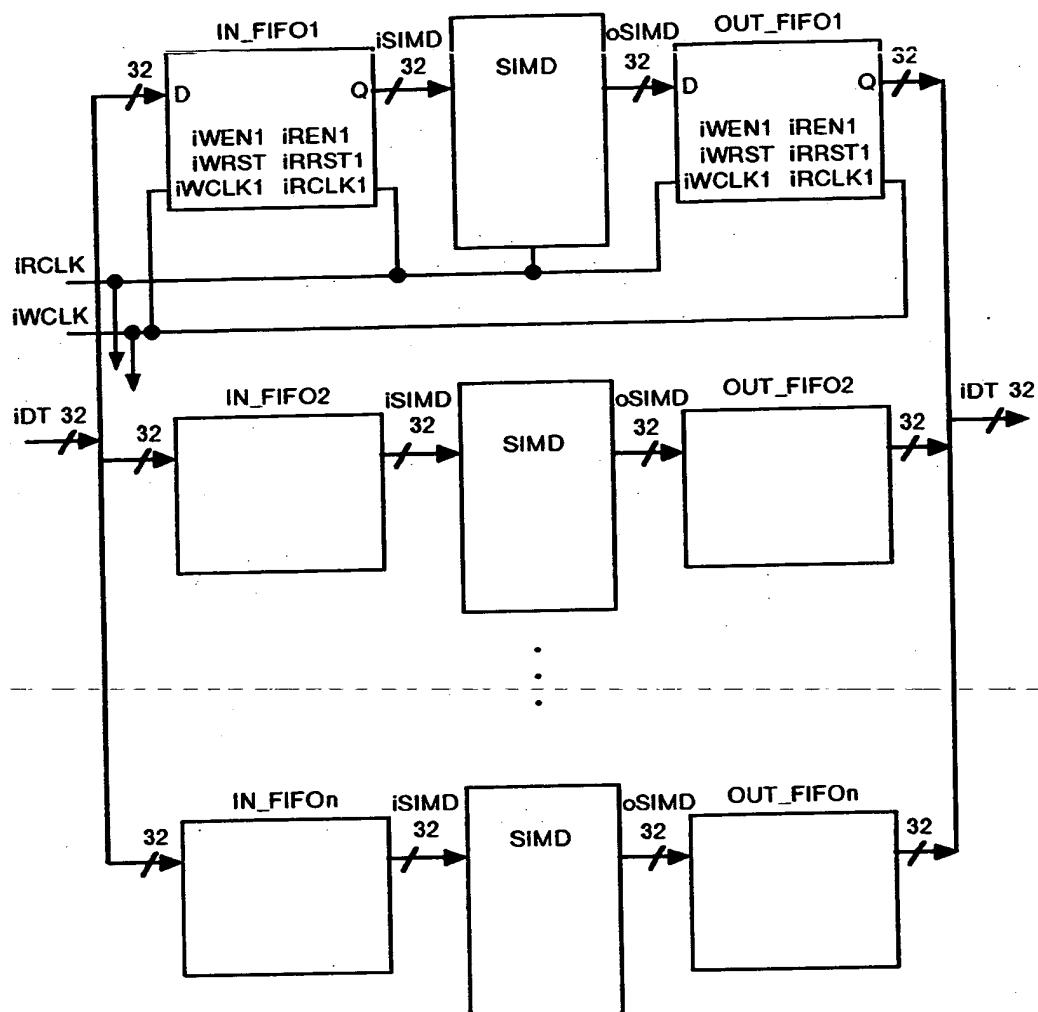
【図4】



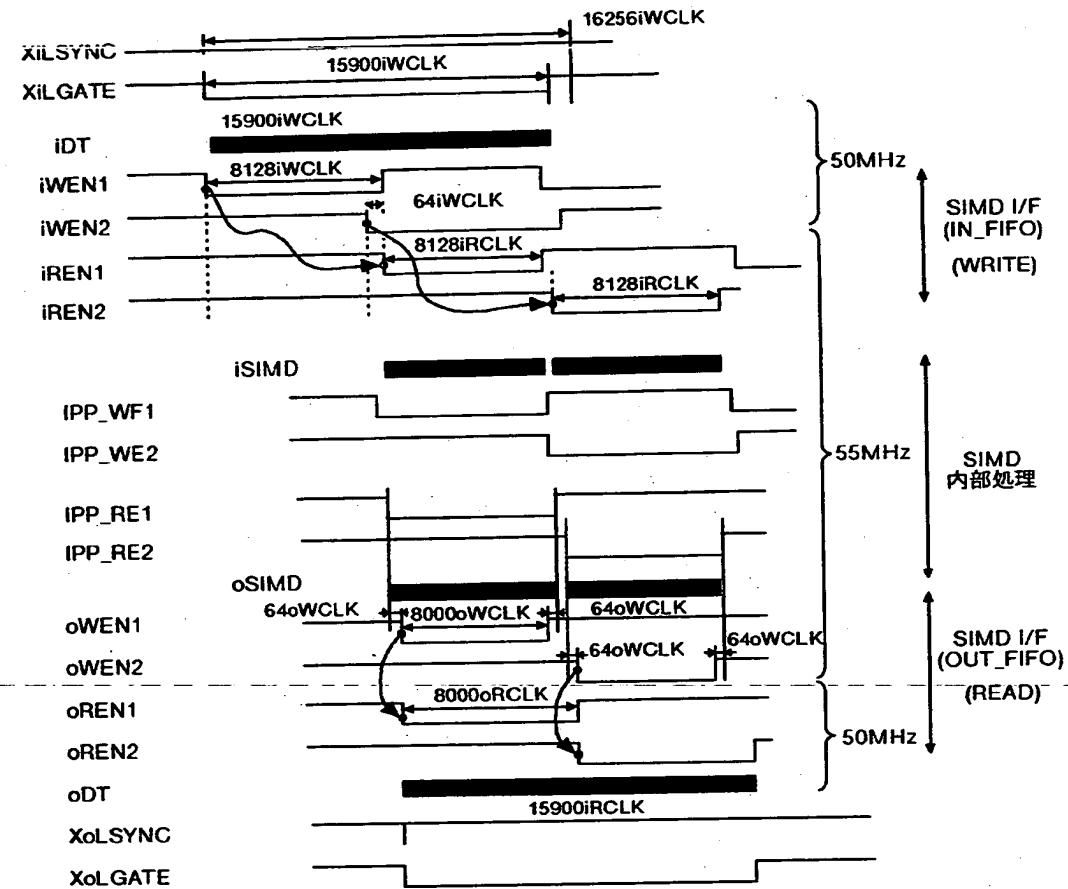
【図5】



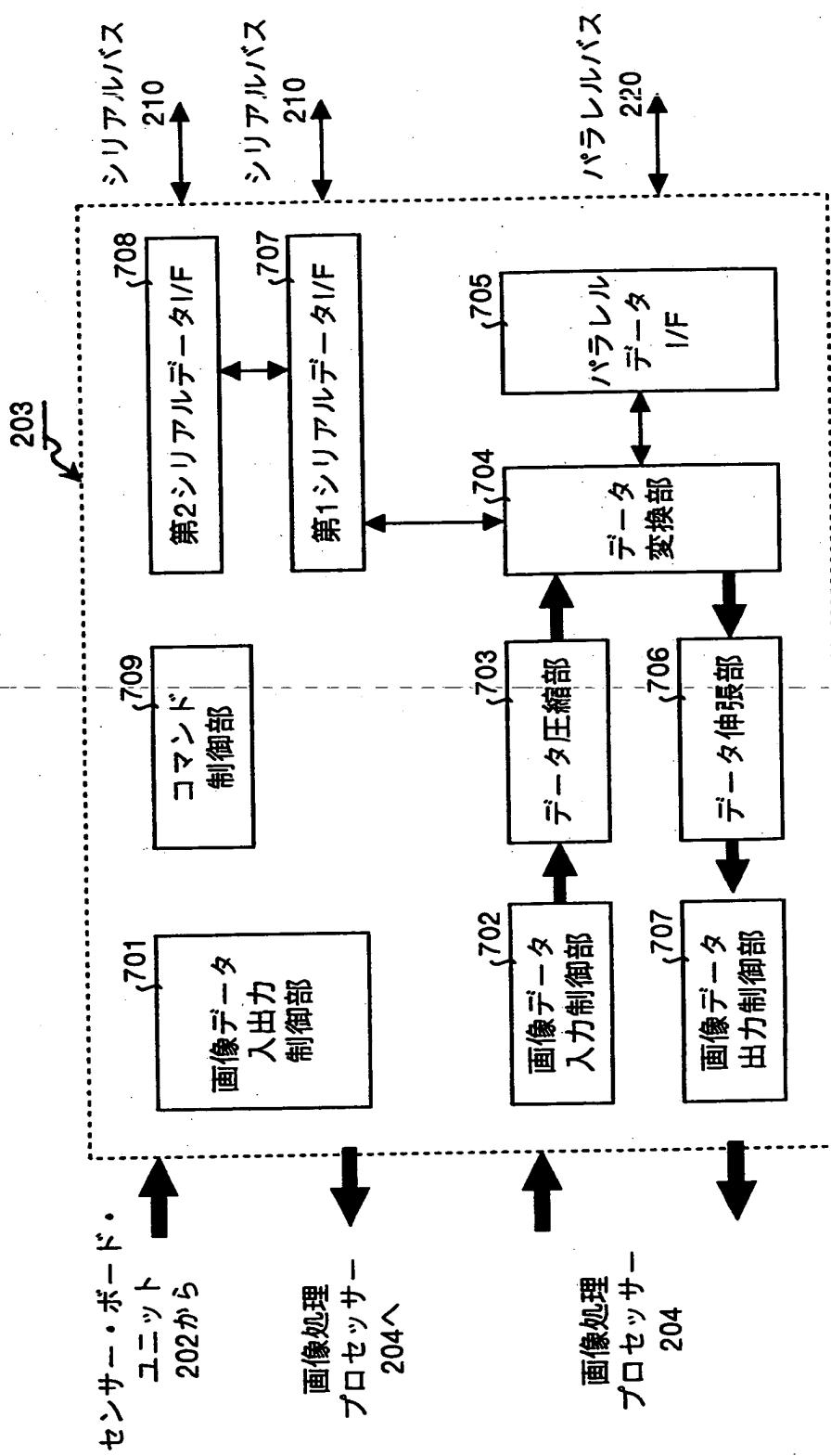
【図6】



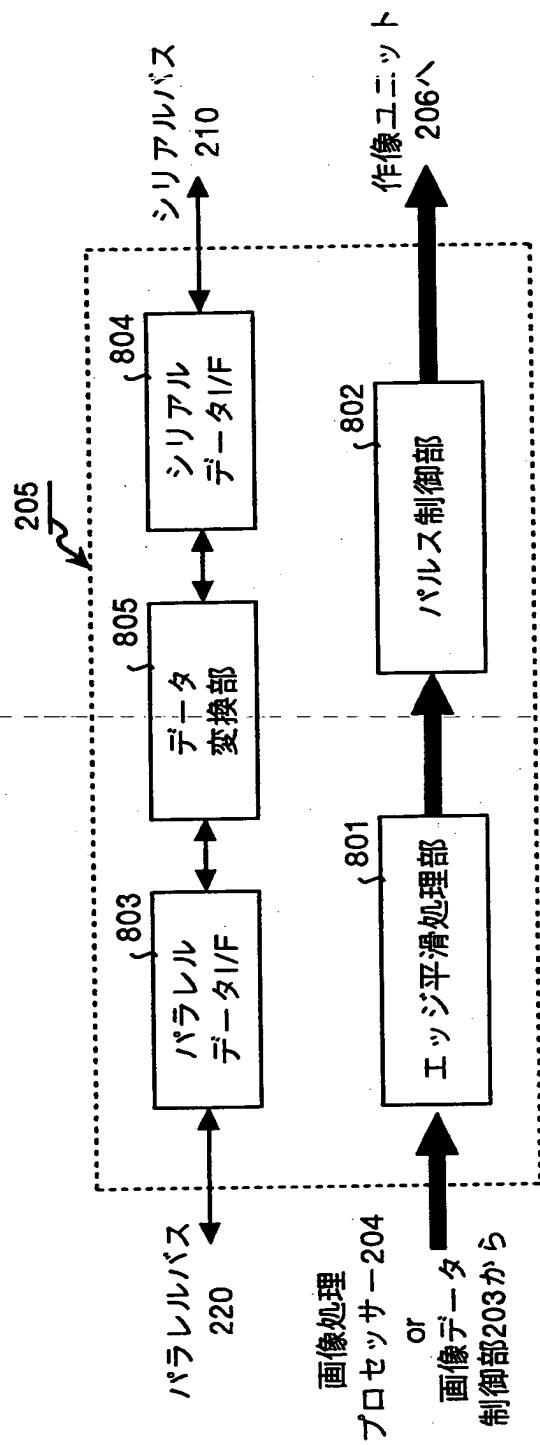
【図7】



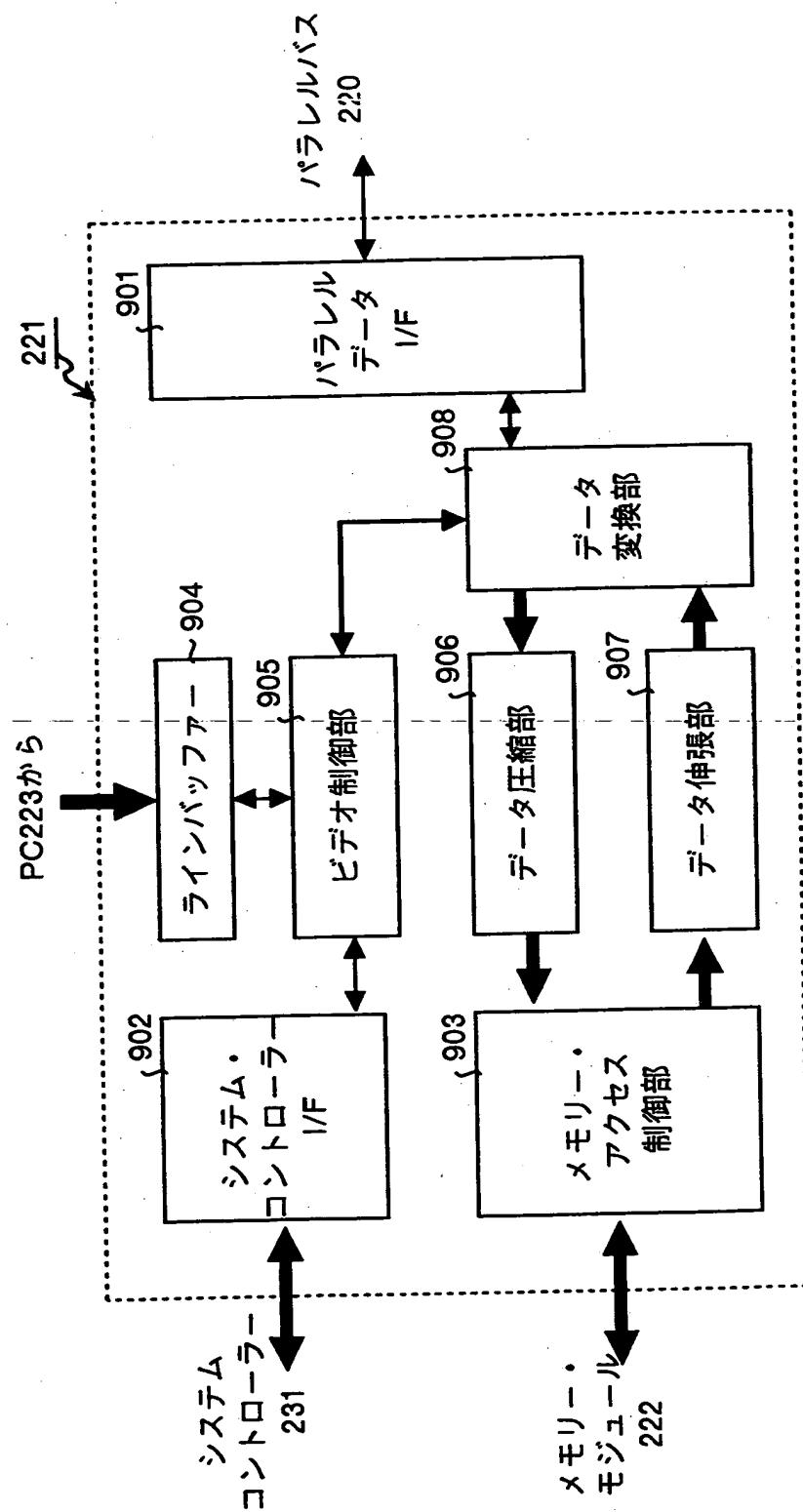
【図8】



【図9】



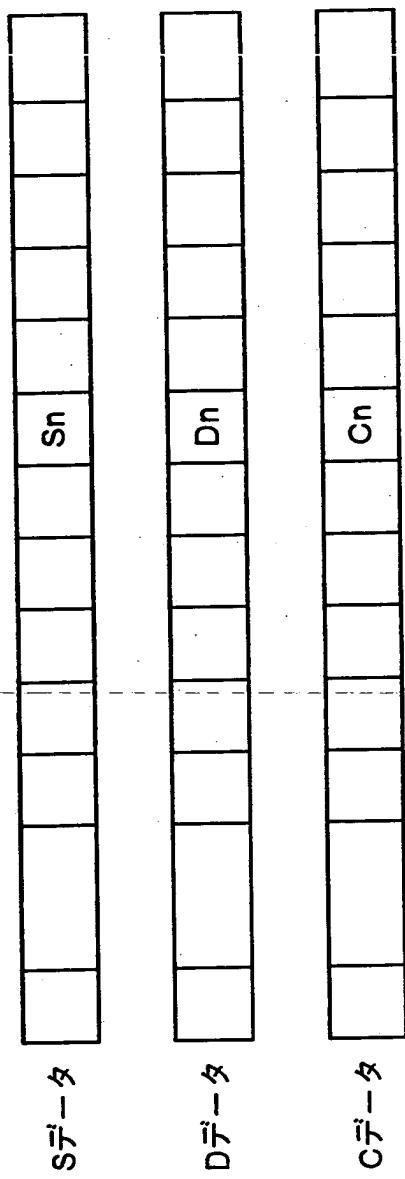
【図10】



【図11】

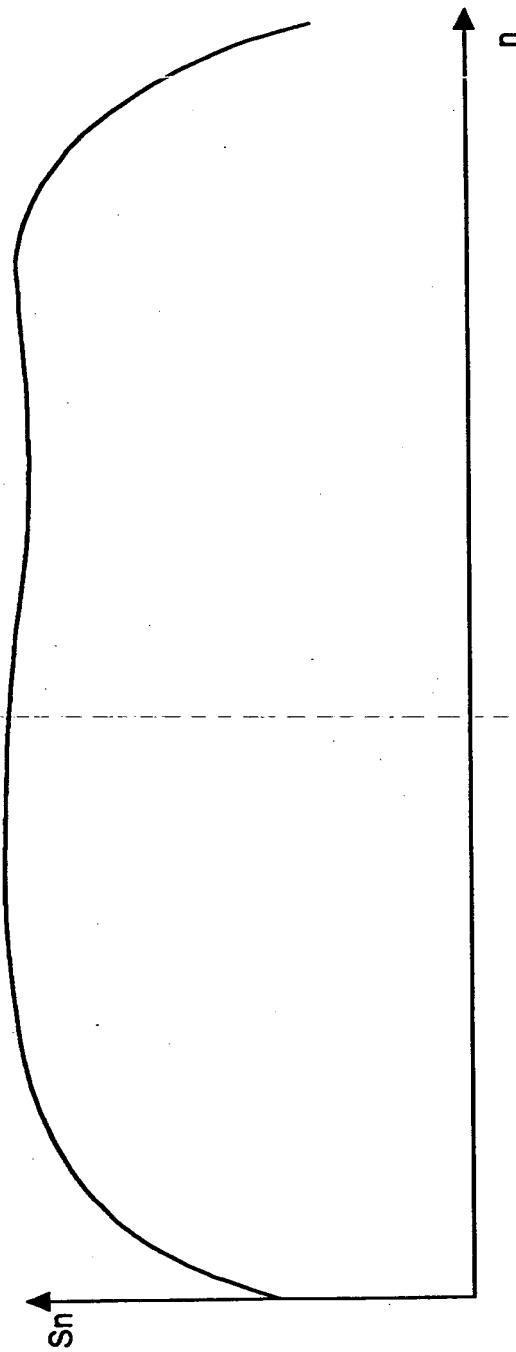
	j-2	j-1	j列	j+1	j+2
i-2	A	B	C	D	E
i-1	F	G	H	I	J
i行	K	L	M	N	O
i+1	P	Q	R	S	T
i+2	U	V	W	X	Y

【図12】

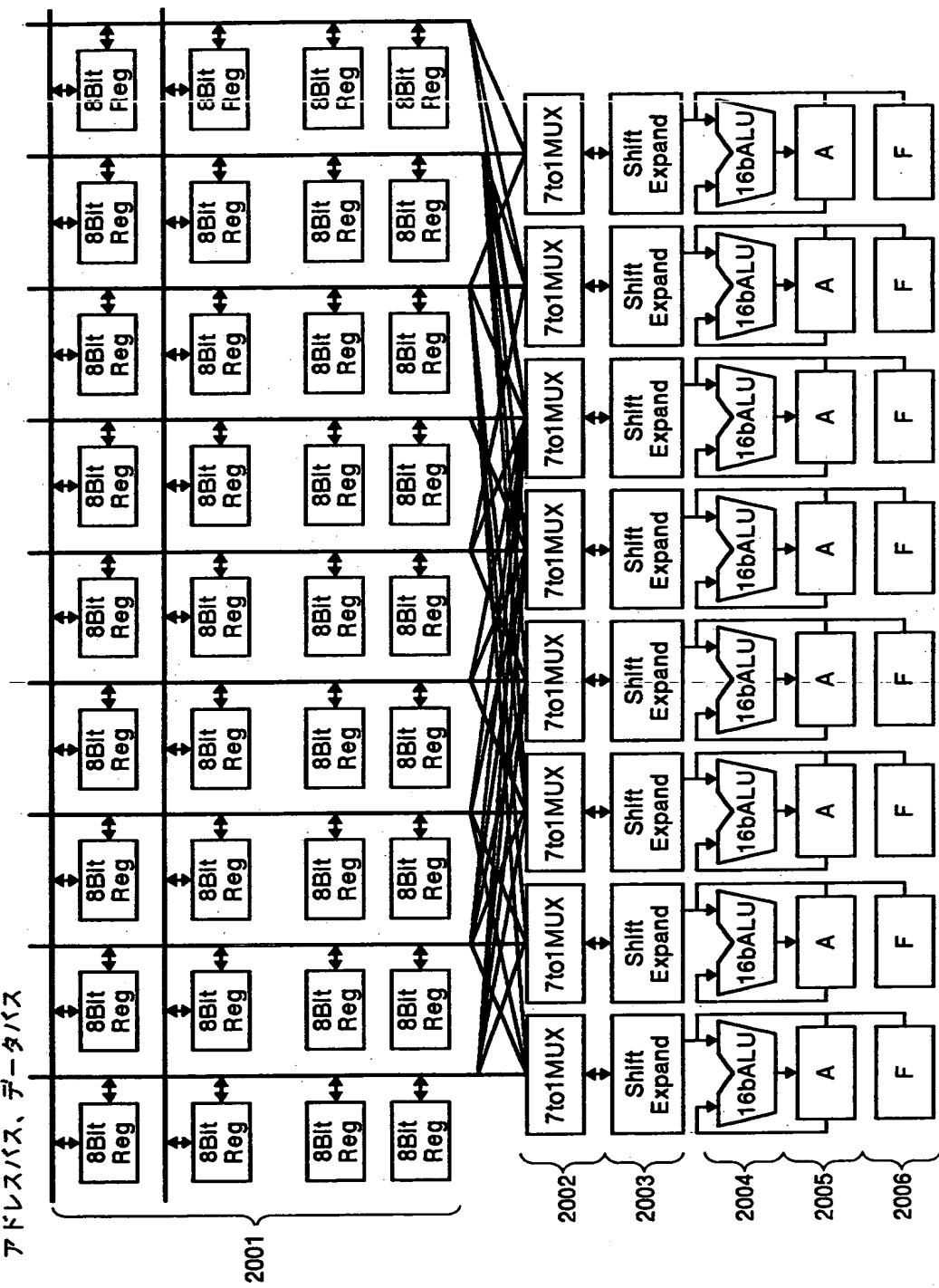


特平11-306014

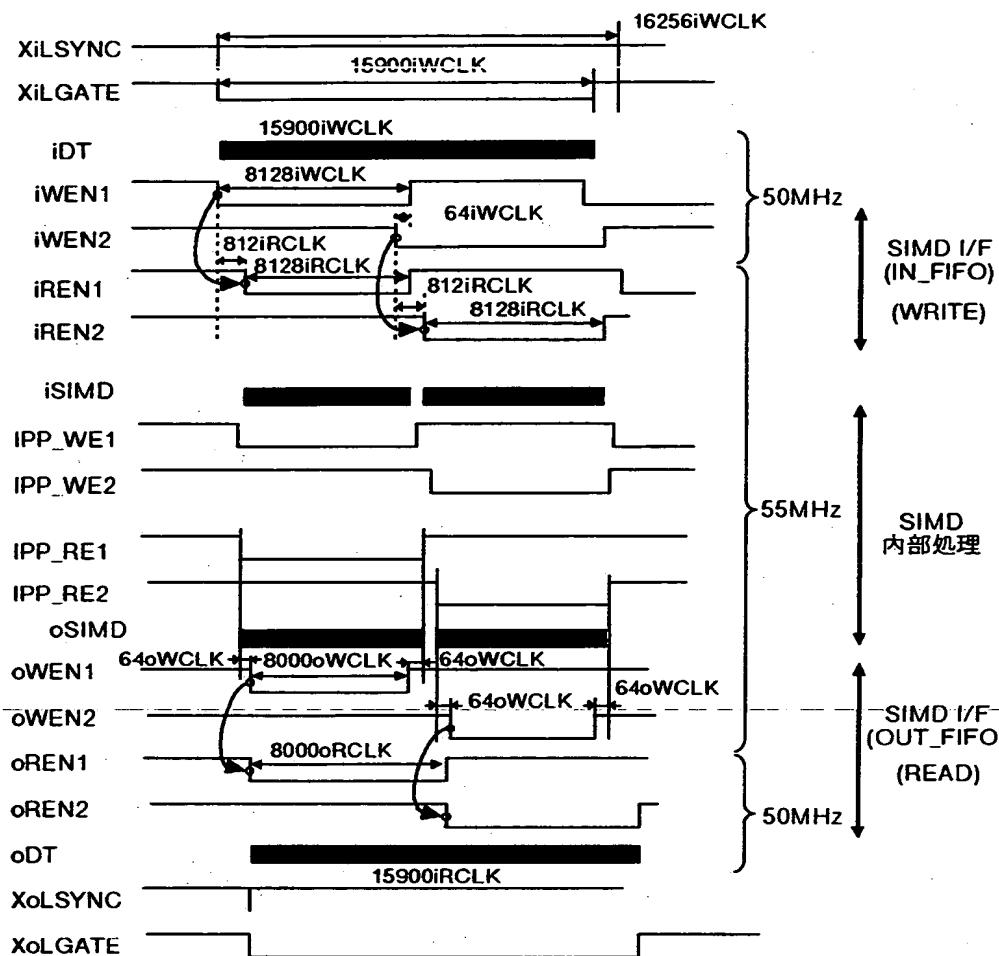
【図13】



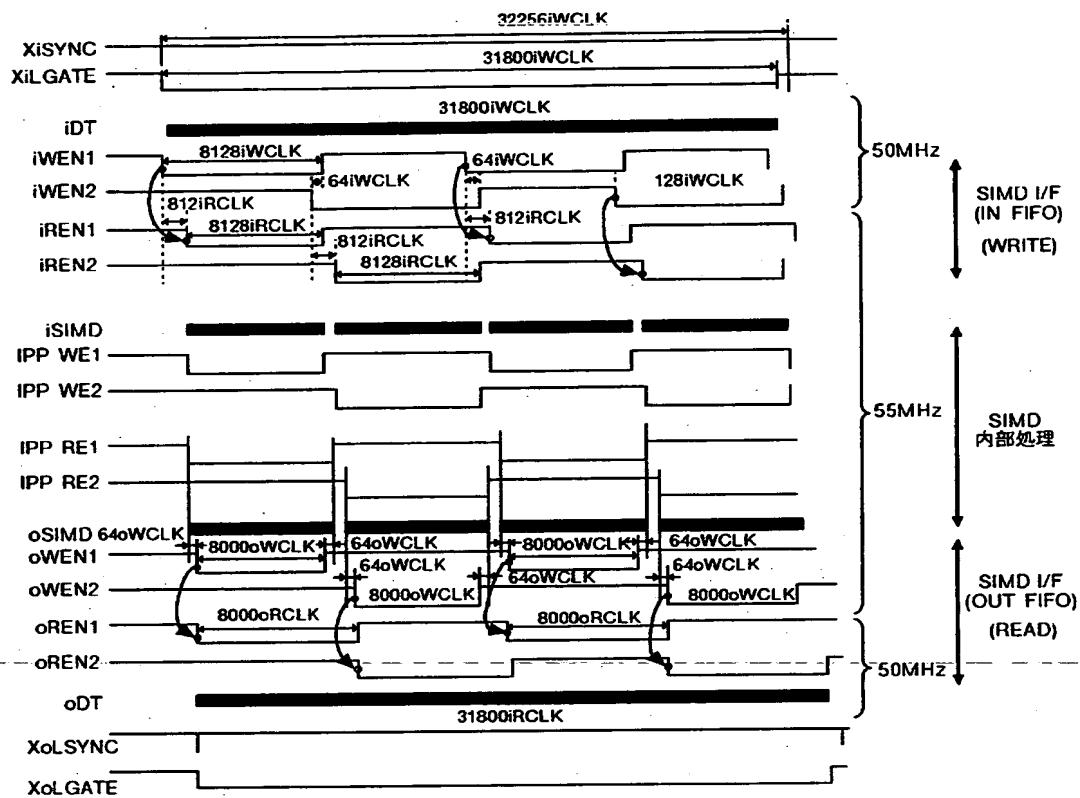
【図14】



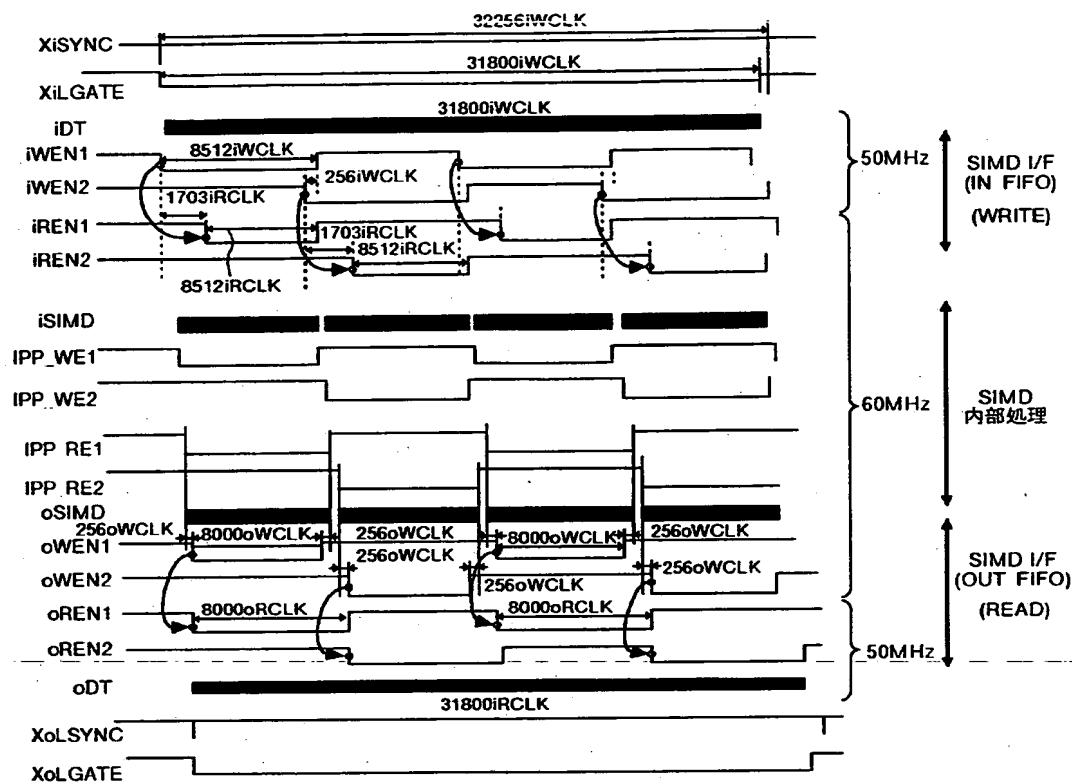
【図15】



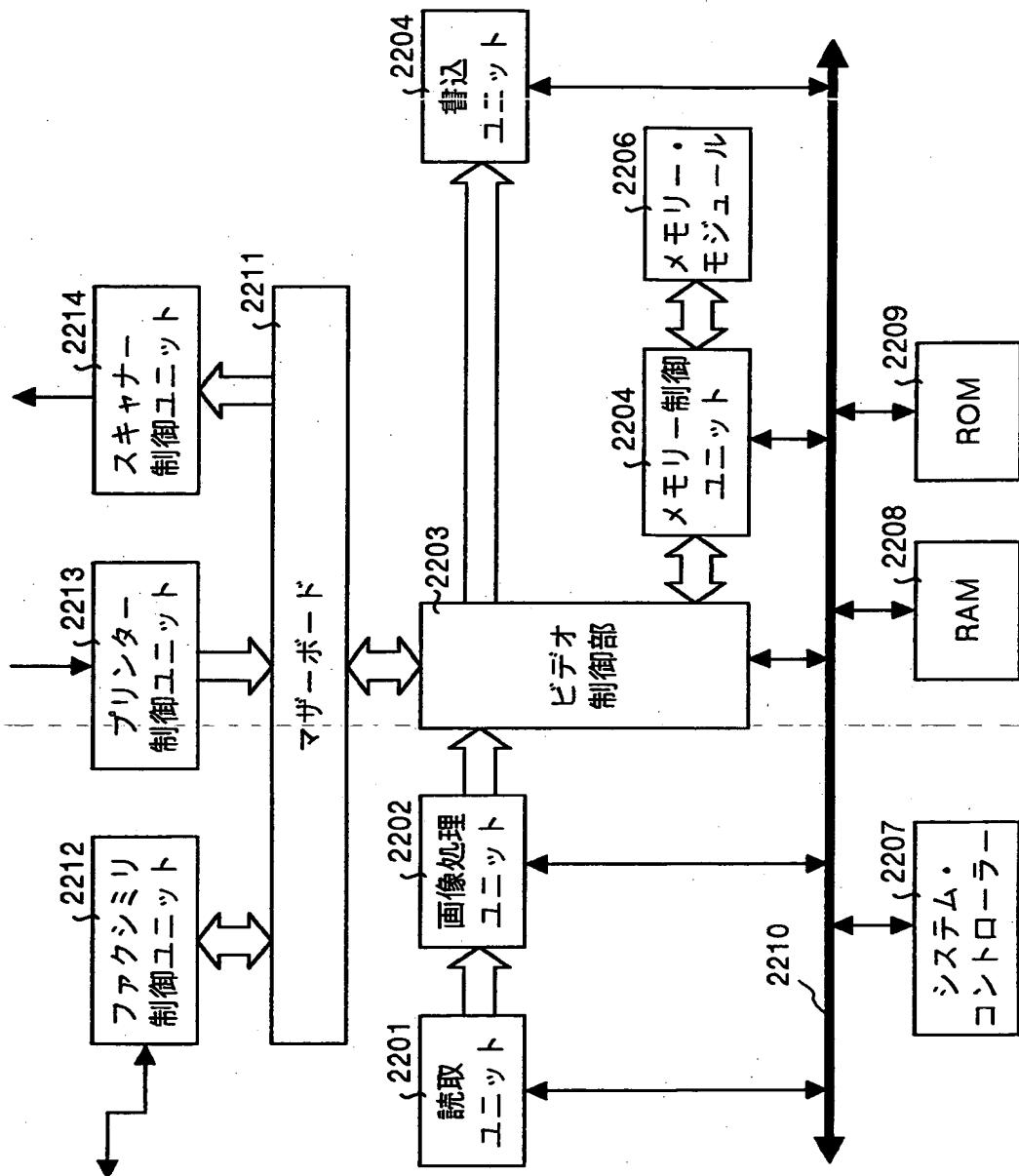
【図16】



【図 17】



【図18】



【書類名】 要約書

【要約】

【課題】 画像処理ユニット（画像処理プロセッサー）のメモリーの容量が相対的に不足する場合であっても、画像処理プロセッサーを有効に活用し、高速な画像処理をおこなう画像処理装置を提供すること。

【解決手段】 画像処理装置は、所定の長さの画素を読み出してバッファーリングしたのち、 SIMD型プロセッサーへ書き込む入力I/F用メモリーIN\_FIFOと、 IN\_FIFOから書き込まれた画素を一括して処理する SIMD型プロセッサーSIMDと、 SIMDにより一括処理された画素を読み出してバッファーリングしたのち、所定の出力先へ書き込む出力I/F用メモリーOUT\_FIFOとを備え、 IN\_FIFOおよびOUT\_FIFOの読み込みおよび/または書き込みのタイミングを制御する。

【選択図】 図6

出願人履歴情報

識別番号 [000006747]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都大田区中馬込1丁目3番6号  
氏 名 株式会社リコー